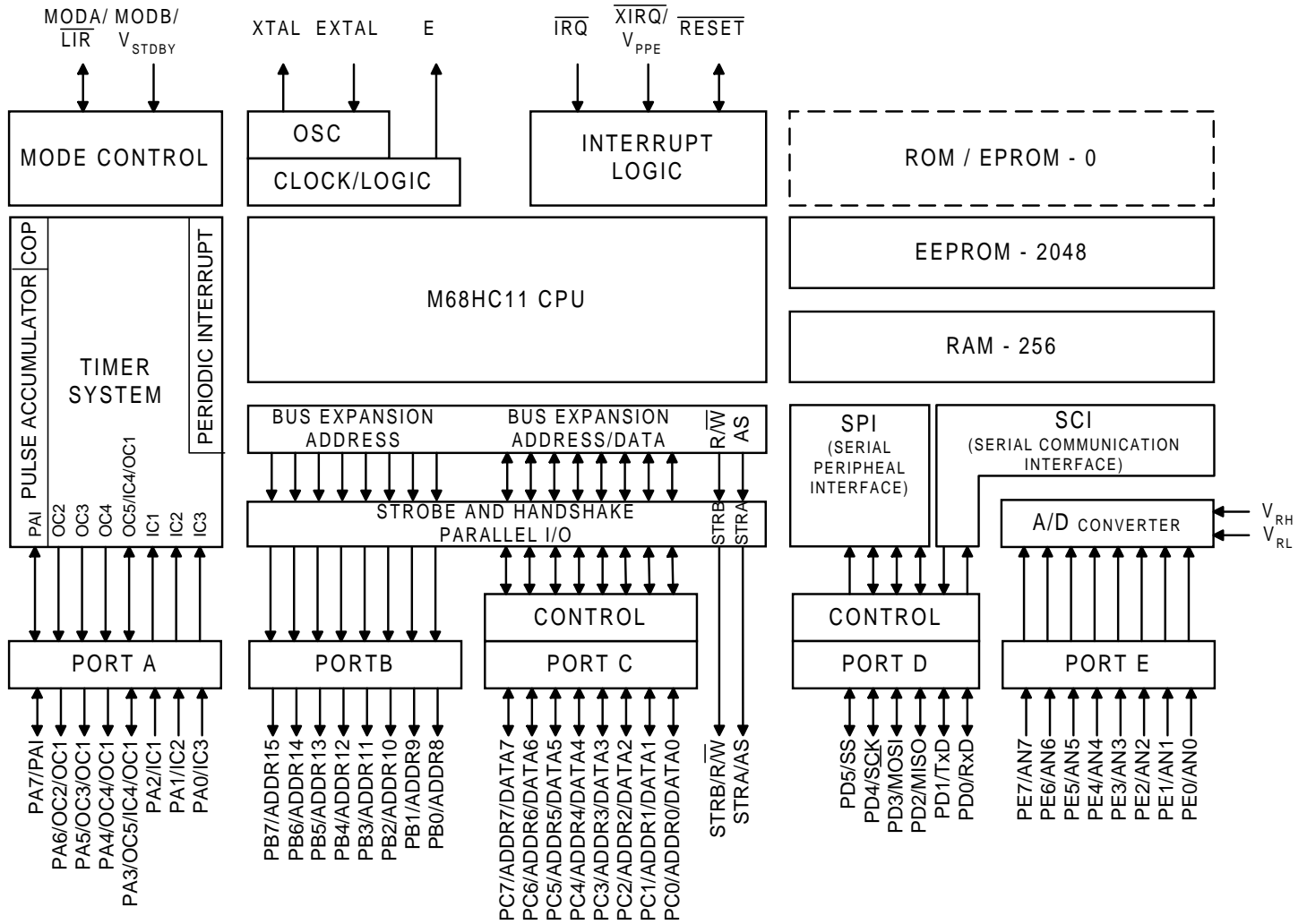
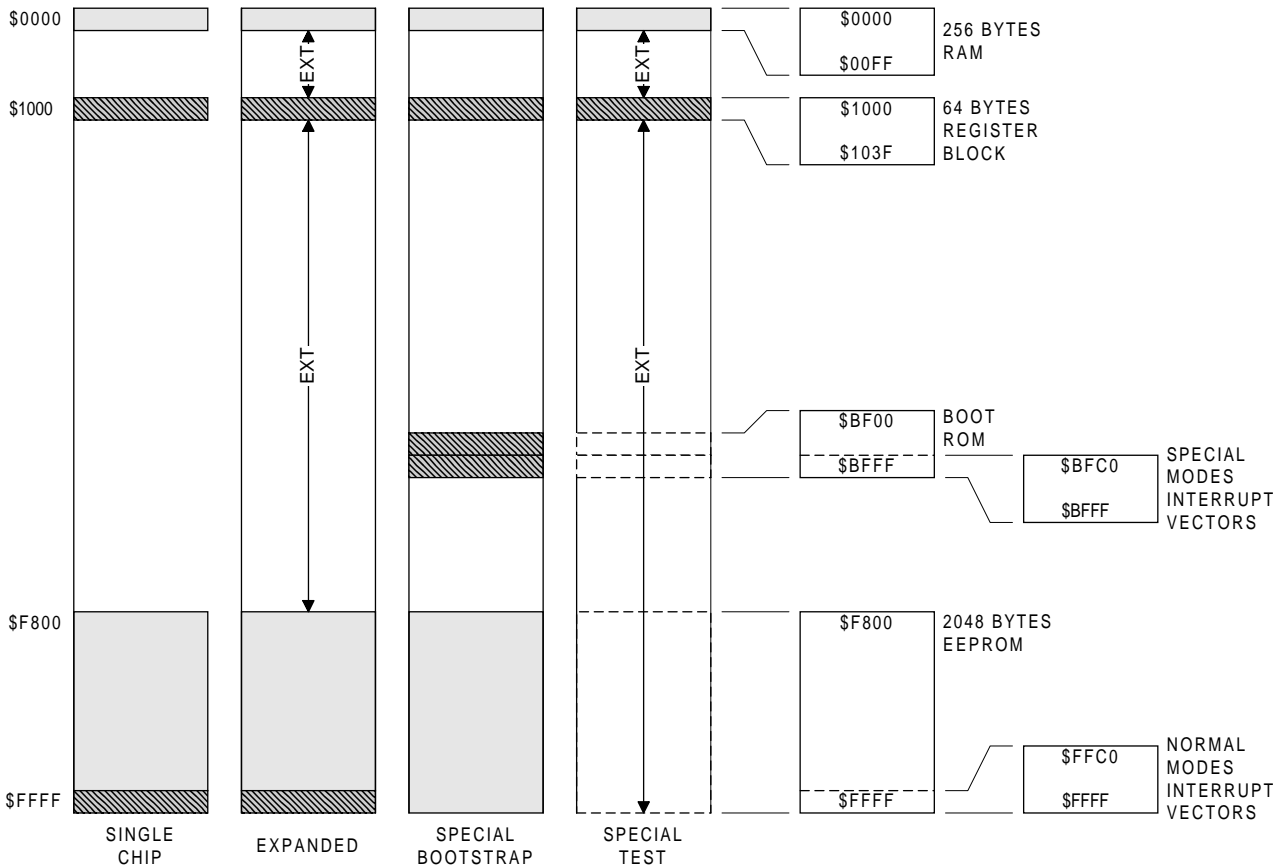


Struktura mikrokontrolera MC68HC811E2



Mapa pamięci mikrokontrolera MC68HC811E2

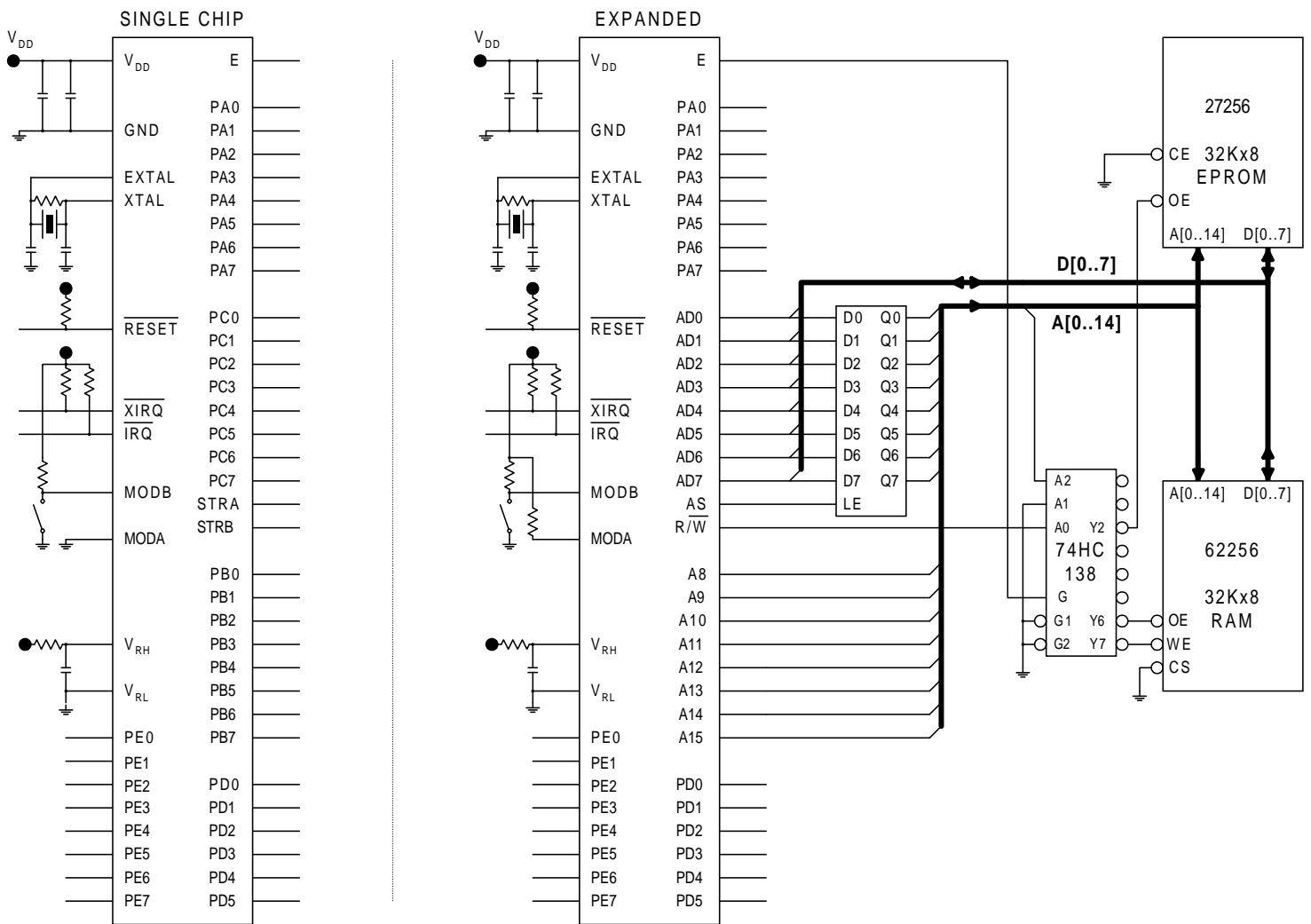


Stan wejść przy restarcie		Tryb	Bity w rejestrze HPRIO (wpisywane przy restarcie)			
MODB	MODA		RBOOT	SMOD	MDA	IRV
1	0	Single Chip	0	0	0	0
1	1	Expanded	0	0	1	0
0	0	Special Bootstrap	1	1	0	0
0	1	Special Test	0	1	1	1

Rejestry konfiguracyjne w 68HC811E2

	Bit 7	6	5	4	3	2	1	Bit 0		
\$1035	Read	-	-	-	PTCON	BPRT3	BPRT2	BPRT1	BPRT0	Block Protect (BPROT)
	Write									
	Reset	0	0	0	1	1	1	1	1	
\$103B	Read	ODD	EVEN	-	BYTE	ROW	ERASE	EELAT	EPGM	EEPROM Programming (PPROG)
	Write									
	Reset									
\$1039	Read	ADPU	CSEL	IRQE	DLY	CME	-	CR1	CR0	System Configuration (OPTION)
	Write									
	Reset	0	0	0	1	0	0	0	0	
\$103C	Read	RBOOT	SMOD	MDA	IRV	PSEL3	PSEL2	PSEL1	PSEL0	Highest Prior. Interrupt (HPRIO)
	Write									
	Reset	M	M	M	M	0	1	1	0	
\$103D	Read	RAM3	RAM2	RAM1	RAM0	REG3	REG2	REG1	REG0	RAM, I/O Mapping (INIT)
	Write									
	Reset	0	0	0	0	0	0	0	1	
\$103F	Read	EE3	EE2	EE1	EE0	NOSEC	NOCOP	-	EEON	System Configuration (CONFIG)
	Write									
	Reset	1	1	1	1	P	P	1	1	
\$103A	Read	Bit 7	6	5	4	3	2	1	Bit 0	COP Reset (COPRST)
	Write									
	Reset	0	0	0	0	0	0	0	0	

Konfiguracje w trybach: jednoukładowych (*Single Chip, Special Bootstrap*) i rozszerzonych (*Expanded, Special Test*)



Rejestry portów równoległych

\$1000	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	PORTA PACTL
\$1026	DDA7	T	T	T	DDA3	T	T	T	
Reset:	IN	OUT=0	OUT=0	OUT=0	IN	IN	IN	IN	
Alt.:	PA	OC2	OC3	OC4	IC4	IC1	IC2	IC3	
	OC1	OC1	OC1	OC1	OC1				
\$1004	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	PORTB
Reset:	OUT=0	OUT=0	OUT=0	OUT=0	OUT=0	OUT=0	OUT=0	OUT=0	
Exp.:	A15	A14	A13	A12	A11	A10	A9	A8	
\$1003	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	PORTC DDRC
\$1007	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	
Reset:	IN	IN	IN	IN	IN	IN	IN	IN	
Exp.:	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
\$1005	PCL7	PCL6	PCL5	PCL4	PCL3	PCL2	PCL1	PCL0	PORTCL
\$1008	–	–	PD5	PD4	PD3	PD2	PD1	PD0	PORTD DDRD
\$1009	–	–	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	
Reset:	–	–	IN	IN	IN	IN	IN	IN	
Alt.:	–	–	SS	SCK	MOSI	MISO	TxD	RxD	
\$100A	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	PORTE
Reset:	IN	IN	IN	IN	IN	IN	IN	IN	
Alt.:	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	

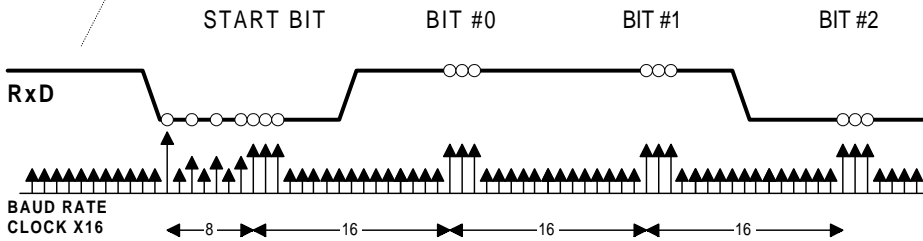
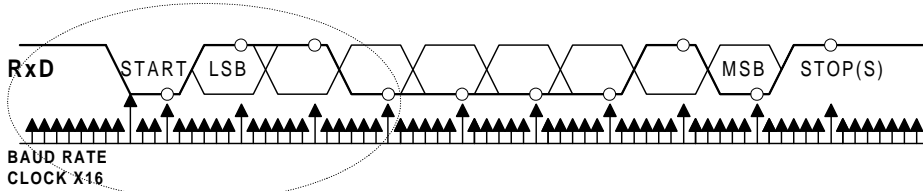
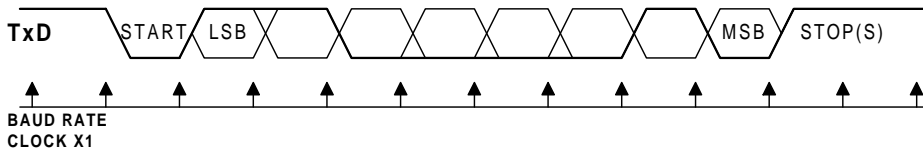
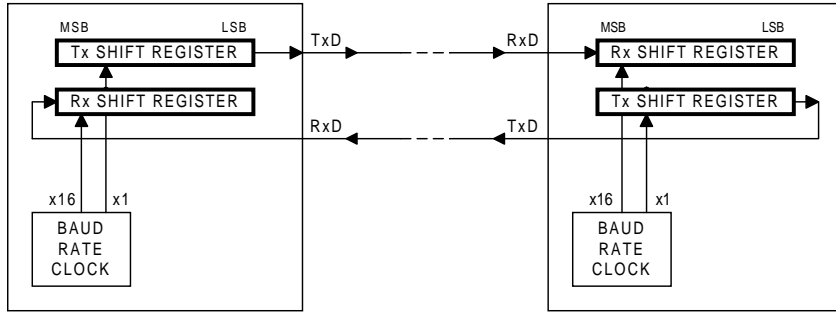
Tryb pracy portu C z potwierdzeniami (*Handshake*)

\$1002	STAF	STAI	CWOM	HNDS	OIN	PLS	EGA	INVB	PIOC
Reset:	0	0	0	0	0	U	1	1	

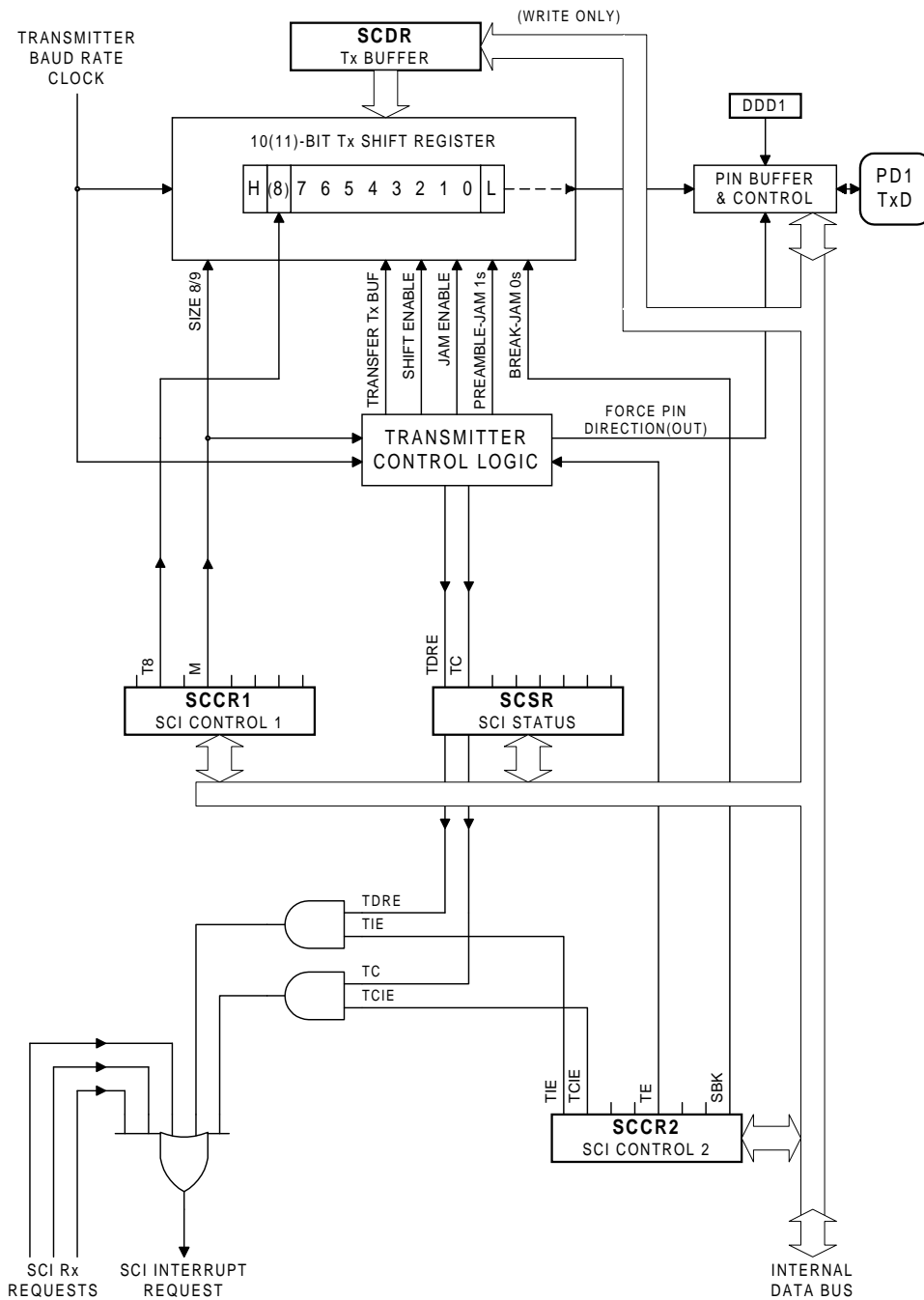
pole	opis
STAF	Flaga wystąpienia aktywnego zbocza STRA
STAI	Zezwolenia na przerwanie od STAF (wektor wspólny z IRQ)
CWOM	Tryb pracy portu C z otwartym ujściem (<i>Wired Or</i>)
HNDS	Włączenie trybów pełnego potwierdzania (<i>Full Handshake</i>)
OIN	Wybór kierunku w trybie pełnego potwierdzania
PLS	Ustawienie STRB w tryb impulsowy (2 takty E)
EGA	Wybór aktywnego zbocza STRA
INVB	Wybór polaryzacji STRB

	HNDS	OIN	Port B	Port C
Simple Strobed Mode	0	x	Impuls STRB przy zapisie do PORTB	Wpisywanie wejść PCx do PORTCL przy aktywnym zboczu STRA
Full Input Handshake Mode	1	0	Zwykły port wyjściowy	Wpisywanie wejść PCx do PORTCL przy aktywnym zboczu STRA, STRB sygnalizuje odczytanie PORTCL
Full Output Handshake Mode	1	1	Zwykły port wyjściowy	Wyjścia wysterowane przy aktywnym poziomie STRA (wpp. – według DDRC), STRB sygnalizuje gotowość danych (wpis do PORTCL)

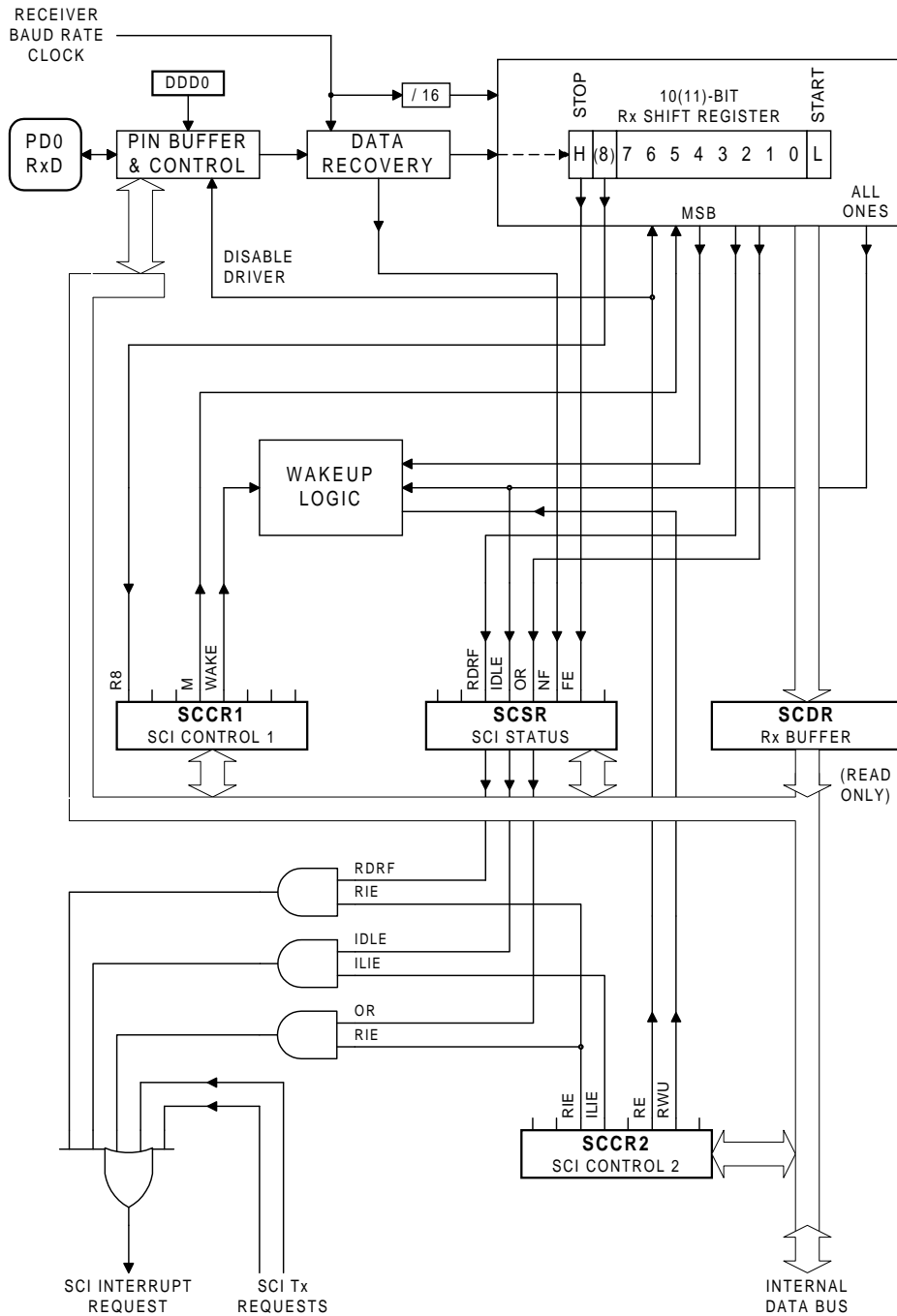
Asynchroniczna transmisja szeregowo



Nadajnik portu szeregowego (SCI)



Odbiornik portu szeregowego (SCI)

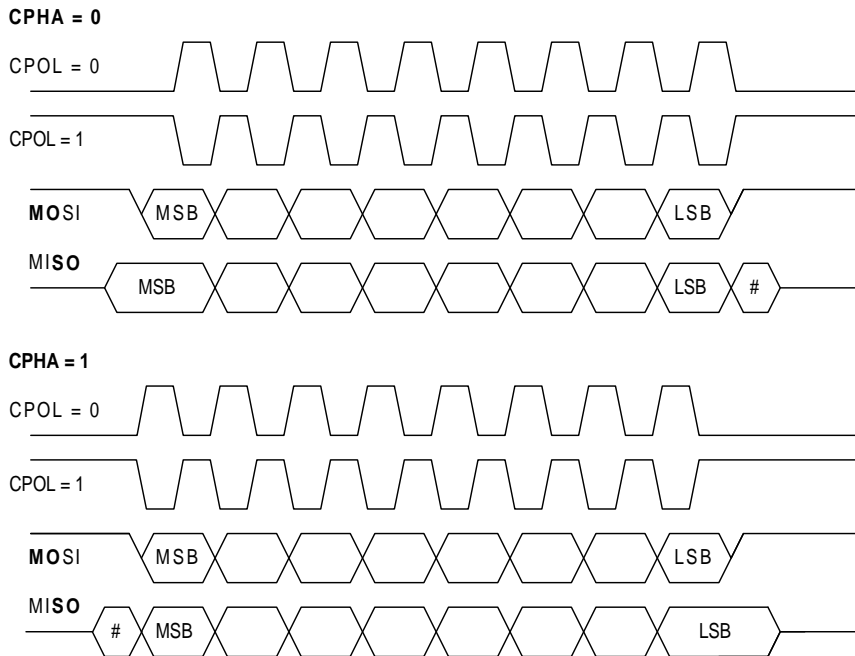
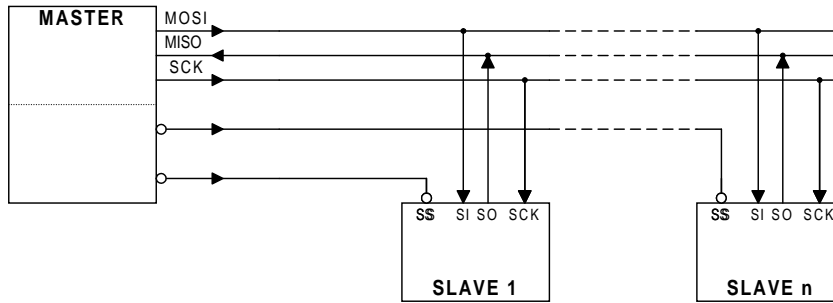
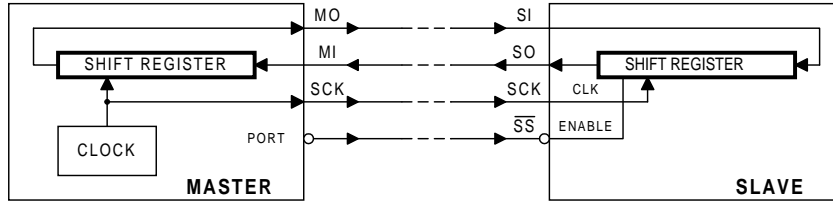


Rejestry obsługi portu szeregowego

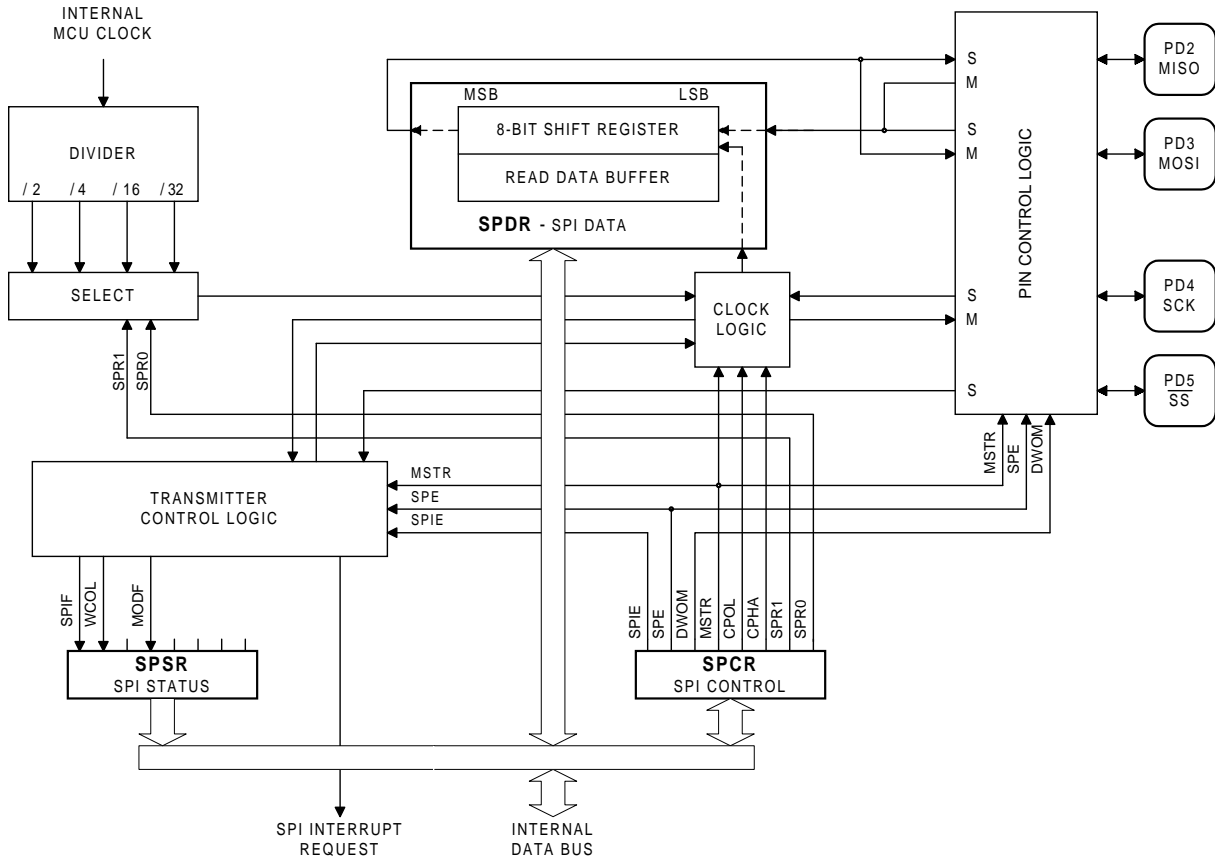
	Bit 7	6	5	4	3	2	1	Bit 0		
\$102B	Read	TCLR	–	SCP1	SCP0	RCKB	SCR2	SCR1	SCR0	Baud Rate (BAUD)
	Write									
	Reset	0	0	0	0	0	–	–	–	
\$102C	Read	R8	T8	–	M	WAKE	–	–	–	SCI Control 1 (SCCR1)
	Write									
	Reset	1	1	0	0	0	0	0	0	
\$102D	Read	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK	SCI Control 2 (SCCR2)
	Write									
	Reset	0	0	0	0	0	0	0	0	
\$102E	Read	TRDE	TC	RDRF	IDLE	OR	NF	FE	–	SCI Status (SCSR)
	Write									
	Reset	1	1	0	0	0	0	0	0	
\$102F	Read	BIT 7	6	5	4	3	2	1	Bit 0	SCI Data (SCDR)
	Write									
	Reset	–	–	–	–	–	–	–	–	

Ustawienie		Stopień podziału	Częstotliwość XTAL		
SCP1	SCP0		4.9152	7.3728	8.0
0	0	1	76800	115200	125000
0	1	3	25600	38400	41667
1	0	4	19200	28800	31250
1	1	13	5907	8862	9600

Synchroniczny interfejs urządzeń (SPI)

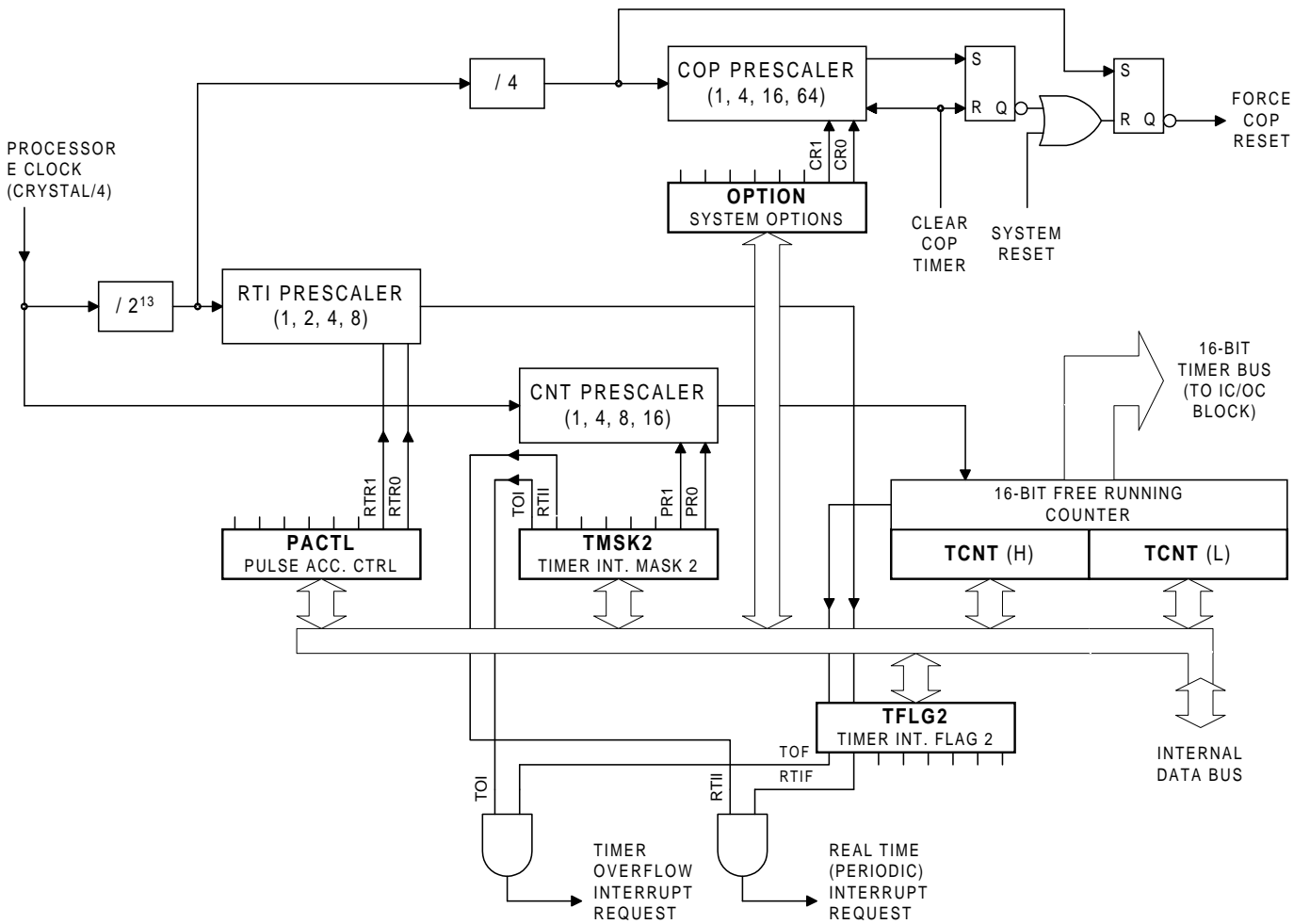


Interfejs SPI w 68HC811E2

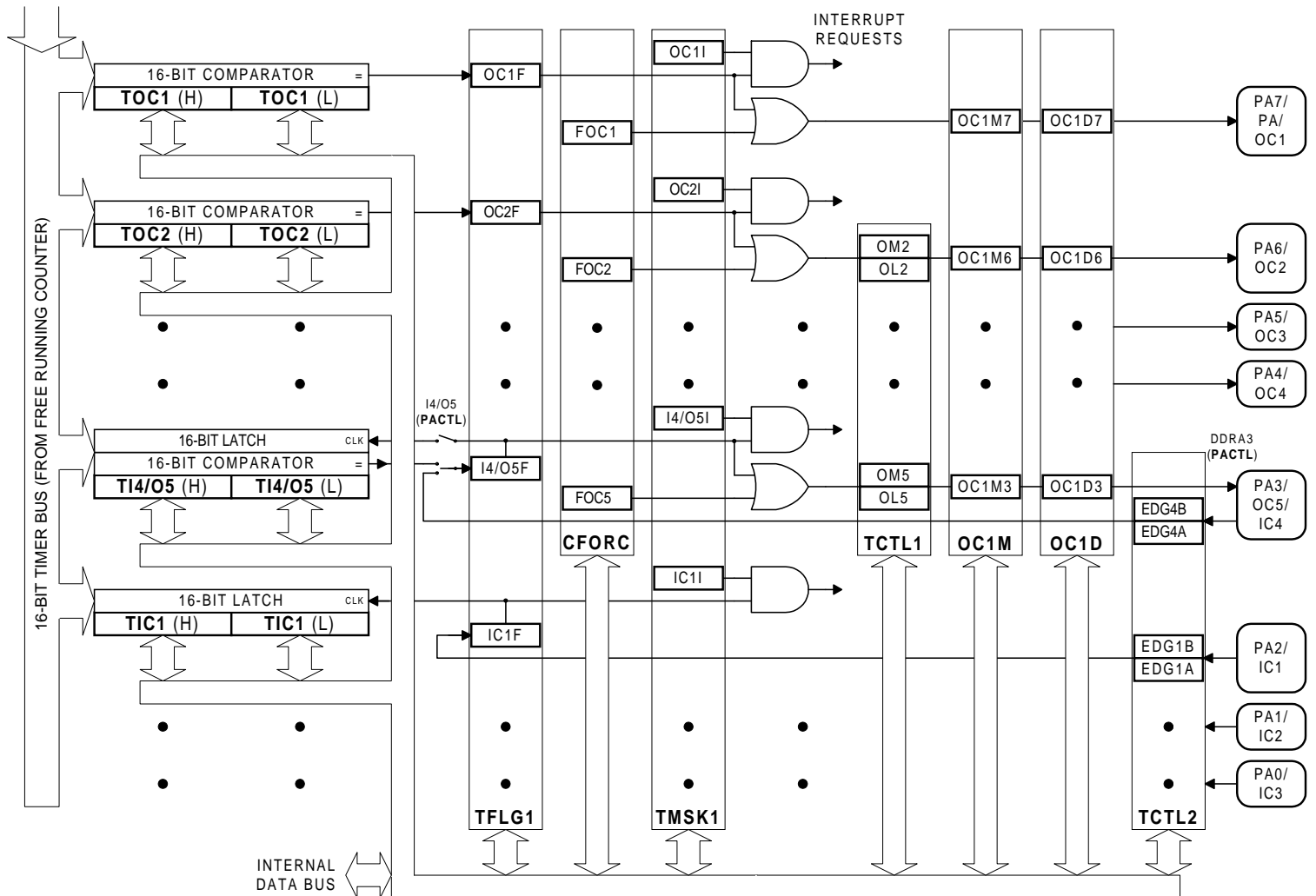


	Bit 7	6	5	4	3	2	1	Bit 0		
\$1028	Read	SPIE	SPE	DWOM	MSTR	CPOL	CPHA	SPR1	SPR0	SPI Control (SPCR)
	Write									
	Reset	0	0	0	0	0	1	-	-	
\$1029	Read	SPIF	WCOL	-	MODF	-	-	-	-	SPI Status (SPSR)
	Write									
	Reset	0	0	0	0	0	0	0	0	
\$102A	Read	Bit 7	6	5	4	3	2	1	Bit 0	SPI Data (SPDR)
	Write									
	Reset	-	-	-	-	-	-	-	-	

COP watchdog, przerwania cykliczne i główny licznik timer-a w 68HC811E2



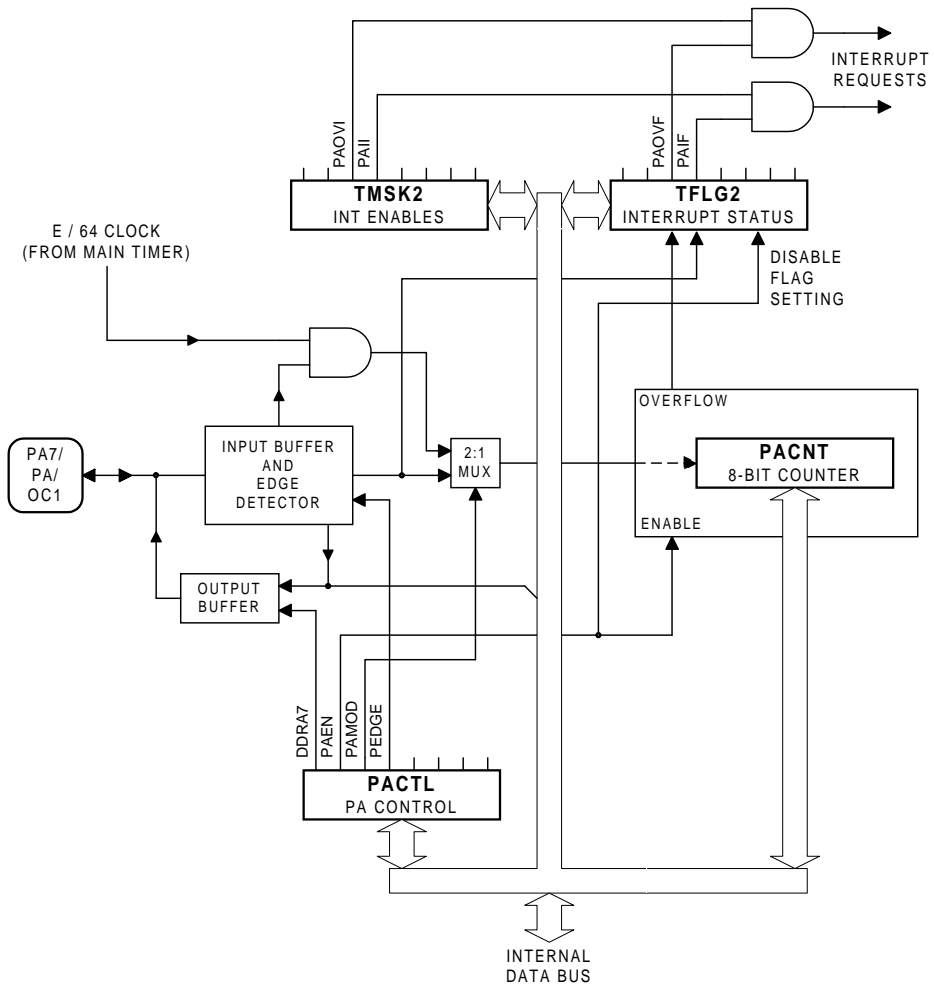
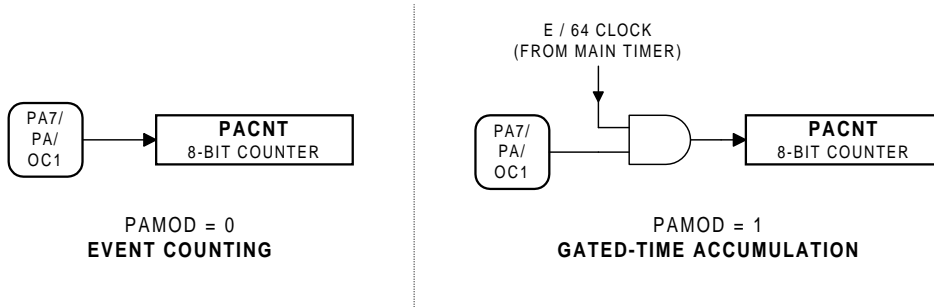
Funkcje IC (Input Capture) i OC (Output Compare)



OMx	OLx	OCx Pin Action
0	0	Port A Output
0	1	Toggle
1	0	Set LOW
1	1	Set HIGH

EDGxB	EDGxA	ICx Active Edge
0	0	Disabled
0	1	Rising
1	0	Falling
1	1	Both

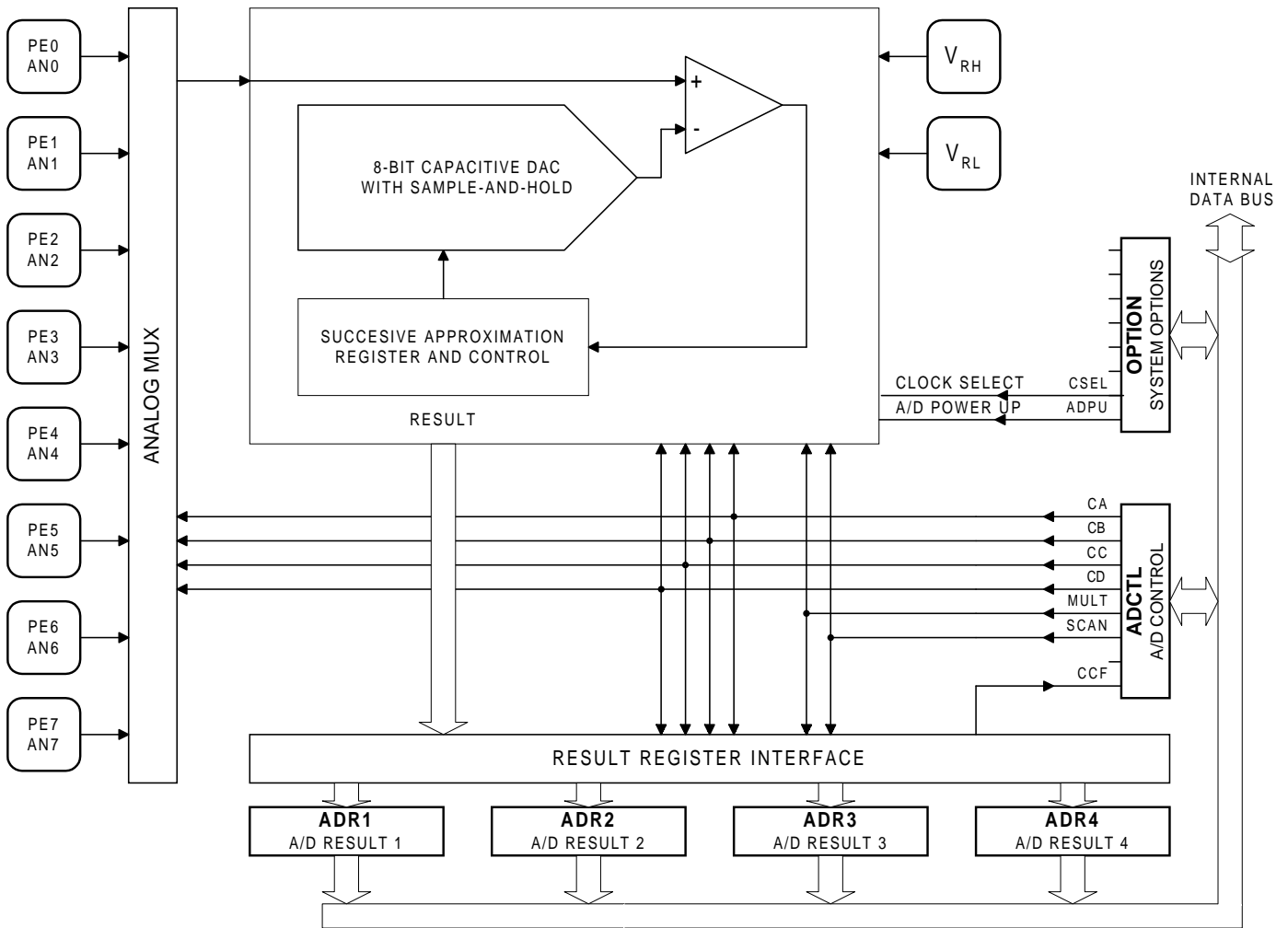
Funkcja PA (*Pulse Accumulator*)



Rejestry obsługi *timer-a* w 68HC811E2

\$100B	FOC1	FOC2	FOC3	FOC4	FOC5	–	–	–	CFORC
\$100C	OC1M7	OC1M6	OC1M5	OC1M4	OC1M3	–	–	–	OC1M
\$100D	OC1D7	OC1D6	OC1D5	OC1D4	OC1D3	–	–	–	OC1D
\$100E	Bit 15	14	13	12	11	10	9	Bit 8	TCNT (H)
\$100F	Bit 7	6	5	4	3	2	1	Bit 0	TCNT (L)
\$1010	Bit 15	14	13	12	11	10	9	Bit 8	TIC1 (H)
\$1011	Bit 7	6	5	4	3	2	1	Bit 0	TIC1 (L)
\$1012	Bit 15	14	13	12	11	10	9	Bit 8	TIC2 (H)
\$1013	Bit 7	6	5	4	3	2	1	Bit 0	TIC2 (L)
\$1014	Bit 15	14	13	12	11	10	9	Bit 8	TIC3 (H)
\$1015	Bit 7	6	5	4	3	2	1	Bit 0	TIC3 (L)
\$1016	Bit 15	14	13	12	11	10	9	Bit 8	TOC1 (H)
\$1017	Bit 7	6	5	4	3	2	1	Bit 0	TOC1 (L)
\$1018	Bit 15	14	13	12	11	10	9	Bit 8	TOC2 (H)
\$1019	Bit 7	6	5	4	3	2	1	Bit 0	TOC2 (L)
\$101A	Bit 15	14	13	12	11	10	9	Bit 8	TOC3 (H)
\$101B	Bit 7	6	5	4	3	2	1	Bit 0	TOC3 (L)
\$101C	Bit 15	14	13	12	11	10	9	Bit 8	TOC4 (H)
\$101D	Bit 7	6	5	4	3	2	1	Bit 0	TOC4 (L)
\$101E	Bit 15	14	13	12	11	10	9	Bit 8	TI4/O5 (H)
\$101F	Bit 7	6	5	4	3	2	1	Bit 0	TI4/O5 (L)
\$1020	OM2	OL2	OM3	OL3	OM4	OL4	OM5	OL5	TCTL1
\$1021	EDG4B	EDG4A	EDG1B	EDG1A	EDG2B	EDG2A	EDG3B	EDG3A	TCTL2
\$1022	OC1I	OC2I	OC3I	OC4I	I4/O5I	IC1I	IC2I	IC3I	TMSK1
\$1023	OC1F	OC2F	OC3F	OC4F	I4/O5F	IC1F	IC2F	IC3F	TFLG1
\$1024	TOI	RTII	PAOVI	PAII	–	–	–	–	TMSK2
\$1025	TOF	RTIF	PAOVF	PAIF	–	–	–	–	TFLG2
\$1026	DDRA7	PAEN	PAMOD	PEDGE	DDRA3	I4/O5	RTR1	RTR0	PACTL
\$1027	Bit 7	6	5	4	3	2	1	Bit 0	PACNT

Przetwornik analogowo-cyfrowy w 68HC811E2



Rozmieszczenie wyników przetwarzania A/D

Bit ADCTL					Sygnał mierzony	Rejestr wynikowy
MULT	CD	CC	CB	CA		
0	0	0	0	0	AN0	ADR1
0	0	0	0	1	AN1	ADR2
0	0	0	1	0	AN2	ADR3
0	0	0	1	1	AN3	ADR4
0	0	1	0	0	AN4	ADR1
0	0	1	0	1	AN5	ADR2
0	0	1	1	0	AN6	ADR3
0	0	1	1	1	AN7	ADR4
0	1	1	0	0	V_H	ADR1
0	1	1	0	1	V_L	ADR2
0	1	1	1	0	$1/2V_H$	ADR3
1	0	0	X	X	AN0 AN1 AN2 AN3	ADR1 ADR2 ADR3 ADR4
1	0	1	X	X	AN4 AN5 AN6 AN7	ADR1 ADR2 ADR3 ADR4

Wektory przerwań i restartu

Adres wektora	Źródło przerwania	Bit maski w CCR	Lokalna maska	
			bit	rejestr
FFC0:FFD5	–	–	–	–
FFD6:FFD7	SCI - Asynchronous Port: <i>Receive Data Register Full</i> <i>Receiver Overrun</i> <i>Transmit Data Register Empty</i> <i>Transmit Complete</i> <i>Idle Line Detect</i>	I	RIE RIE TIE TCIE ILIE	SCCR2 SCCR2 SCCR2 SCCR2 SCCR2
FFD8:FFD9	SPI - Synchronous Port	I	SPIE	SPCR
FFDA:FFDB	PA - Input Edge	I	PAII	TMSK2
FFDC:FFDD	PA - Overflow	I	PAOVI	TMSK2
FFDE:FFDF	Timer Overflow	I	TOI	TMSK2
FFE0:FFE1	Timer IC4/OC5	I	I4/O5I	TMSK1
FFE2:FFE3	Timer OC4	I	OC4I	TMSK1
FFE4:FFE5	Timer OC3	I	OC3I	TMSK1
FFE6:FFE7	Timer OC2	I	OC2I	TMSK1
FFE8:FFE9	Timer OC1	I	OC1I	TMSK1
FFEA:FFEB	Timer IC3	I	IC3I	TMSK1
FFEC:FFED	Timer IC2	I	IC2I	TMSK1
FFEE:FFEF	Timer IC1	I	IC1I	TMSK1
FFF0:FFF1	Real-Time Interrupt	I	RTII	TMSK2
FFF2:FFF3	\overline{IRQ} (External Pin)	I	–	–
FFF4:FFF5	\overline{XIRQ} (External Pin)	X	–	–
FFF6:FFF7	Software Interrupt	–	–	–
FFF8:FFF9	Illegal Opcode Trap	–	–	–
FFFA:FFFB	COP Failure	–	NOCOP	–
FFFC:FFFD	Clock Monitor fail	–	CME	–
FFFE:FFFF	RESET	–	–	–

Procedura startowa w trybie *Special Bootstrap*

