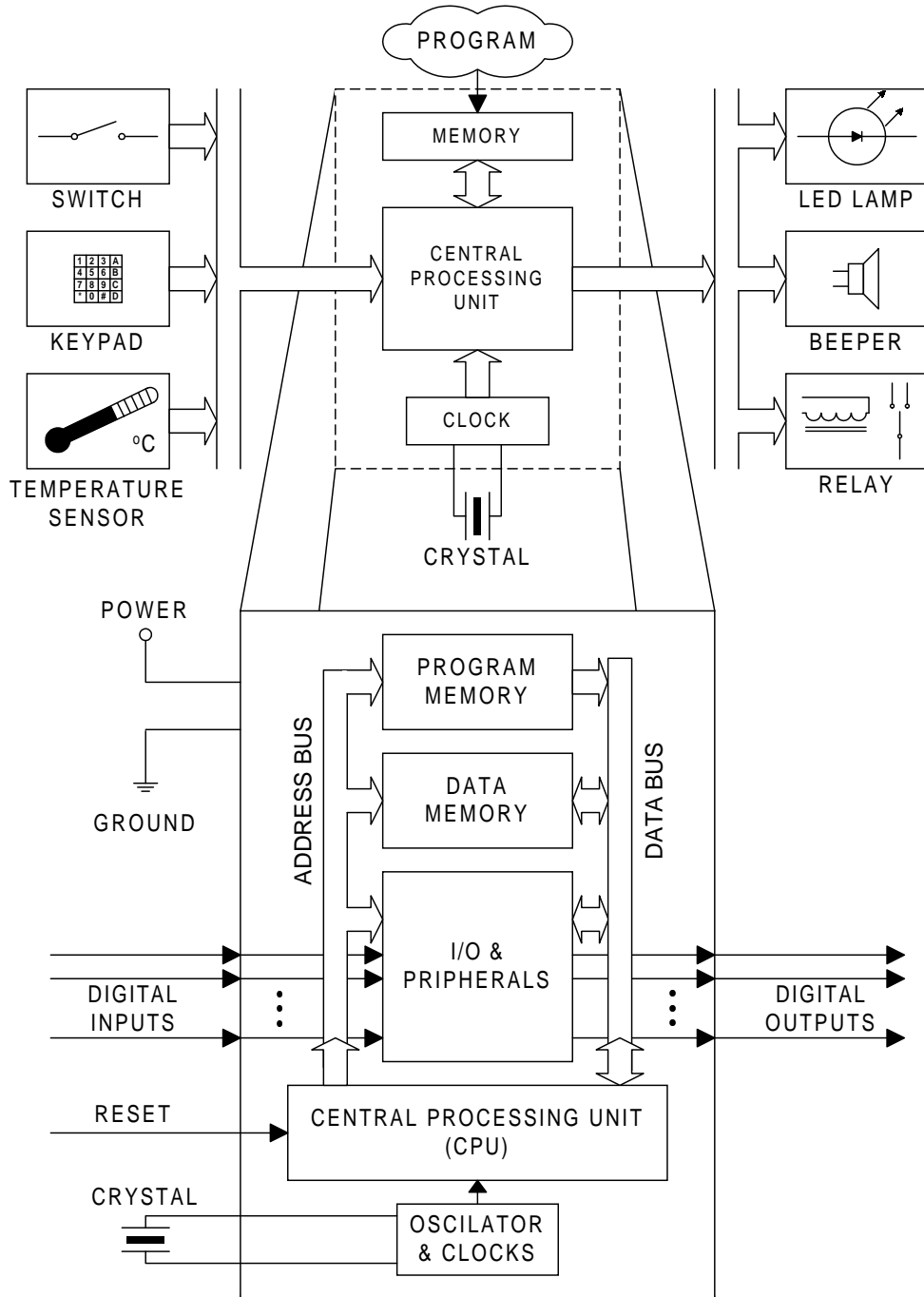
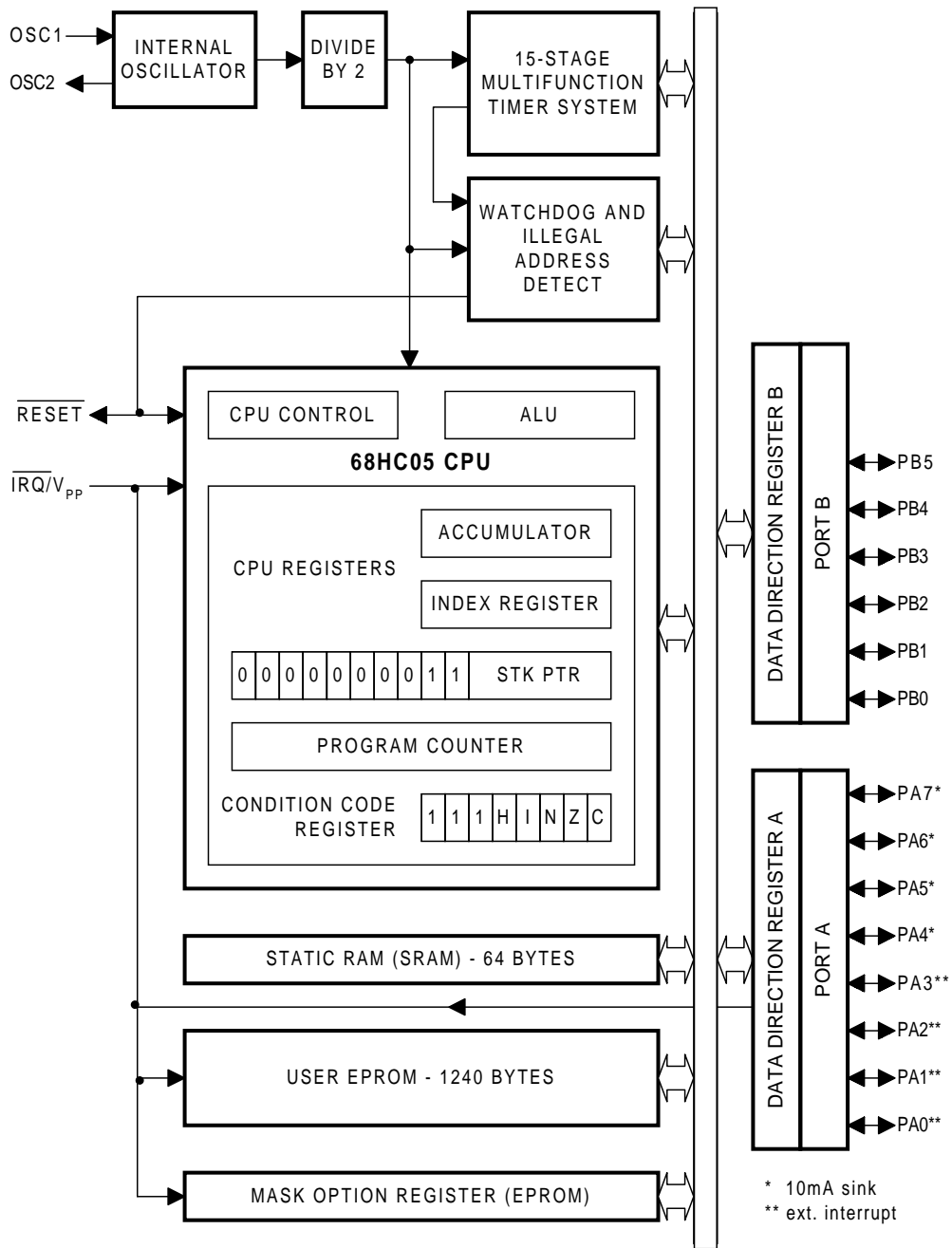


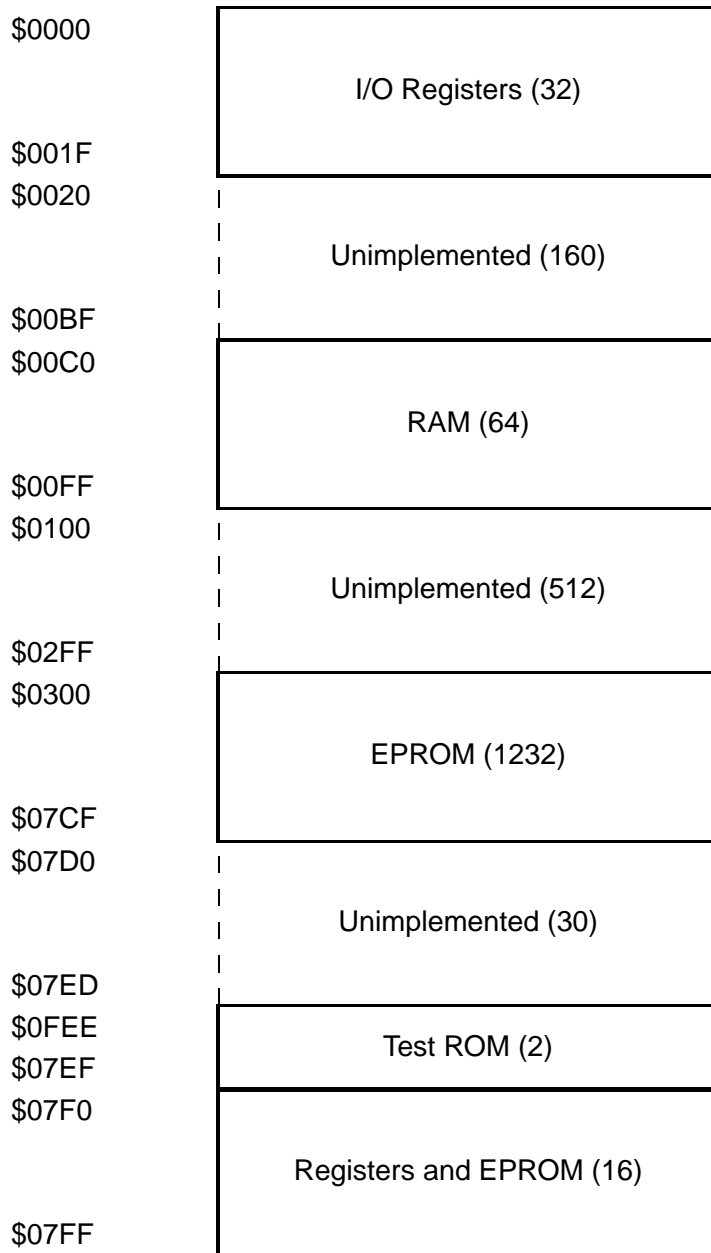
# Mikrokontroler



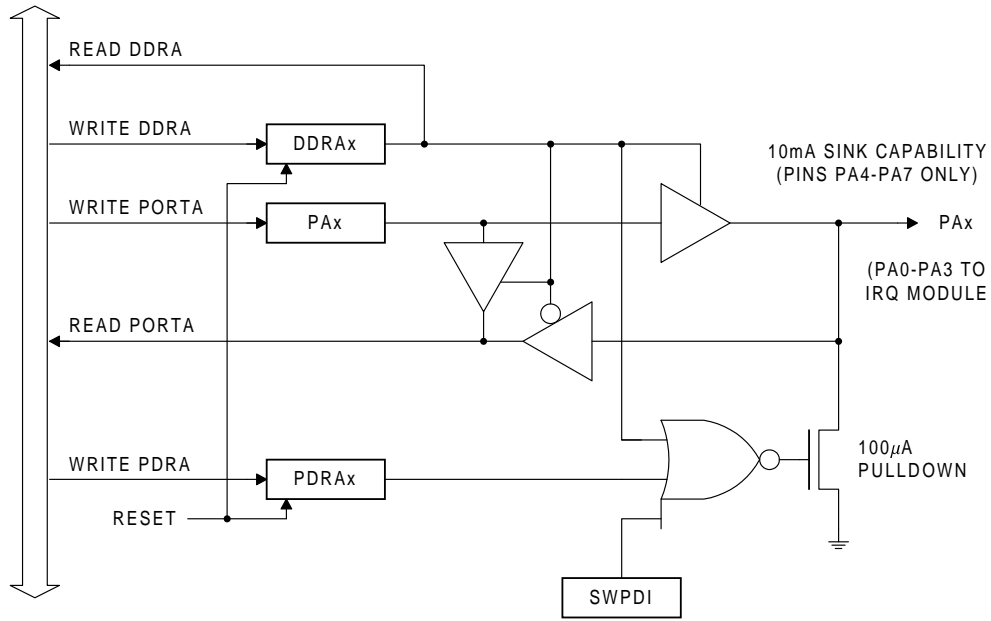
# Struktura mikrokontrolera MC68HC05J1A



# Mapa pamięci MC68HC05J1A

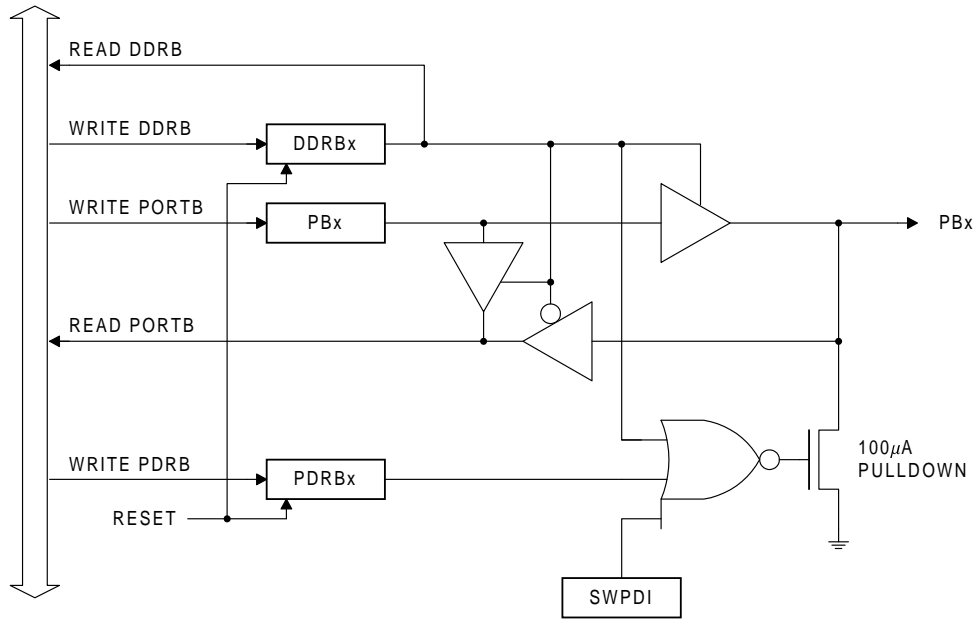


# Port równoległy A w MC68HC05J1A



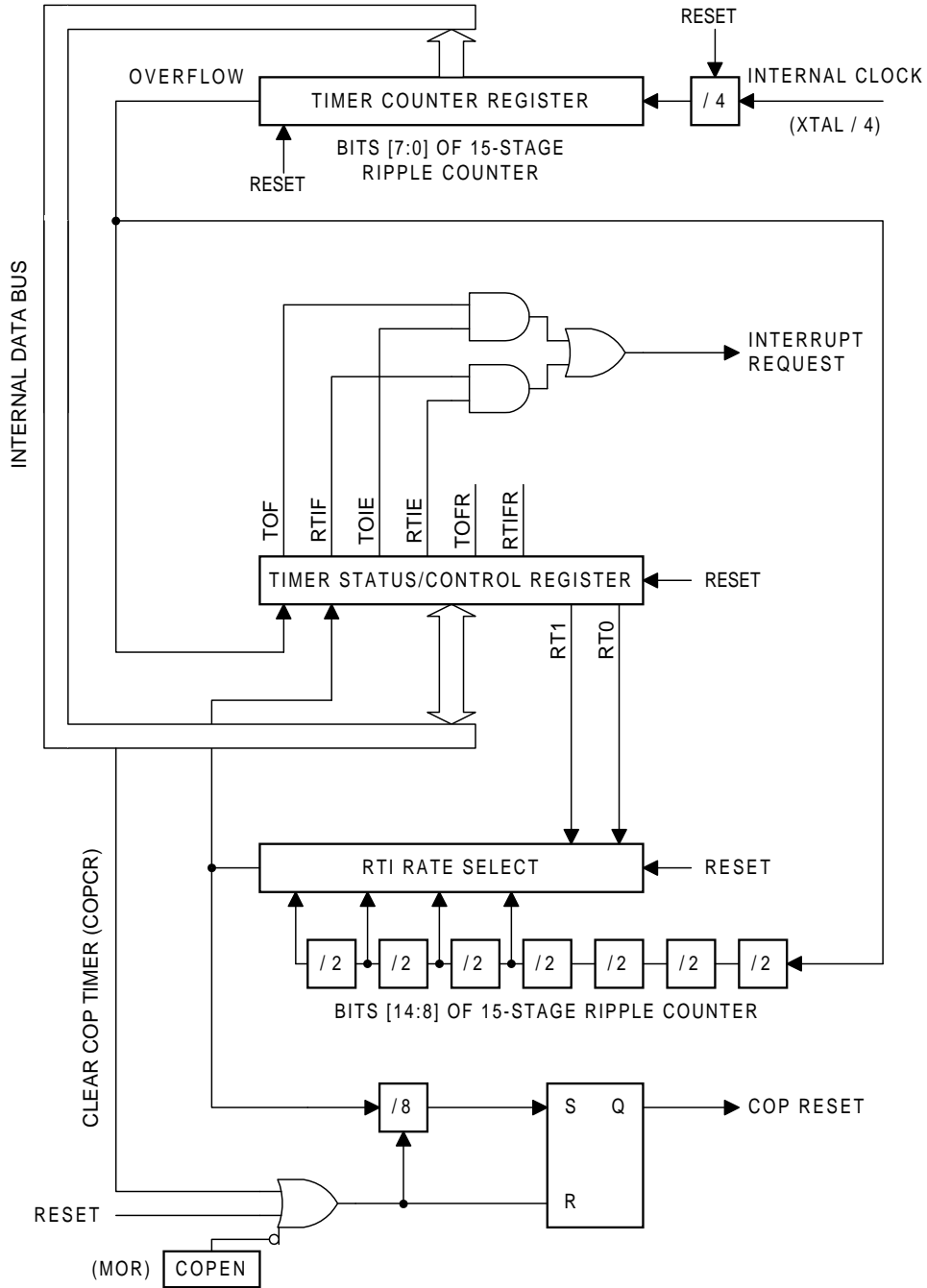
	Bit 7	6	5	4	3	2	1	Bit 0		
\$0000	Read	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	Port A Data Register (PORTA)
	Write									
	Reset	-	-	-	-	-	-	-	-	
\$0004	Read	DDRA7	DDRA6	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0	Data Direction Register A (DDRA)
	Write									
	Reset	0	0	0	0	0	0	0	0	
\$0010	Read	-	-	-	-	-	-	-	-	Port A Pulldown Register (PDRA)
	Write	PDIA7	PDIA6	PDIA5	PDIA4	PDIA3	PDIA2	PDIA1	PDIA0	
	Reset	0	0	0	0	0	0	0	0	

# Port równoległy B w MC68HC05J1A

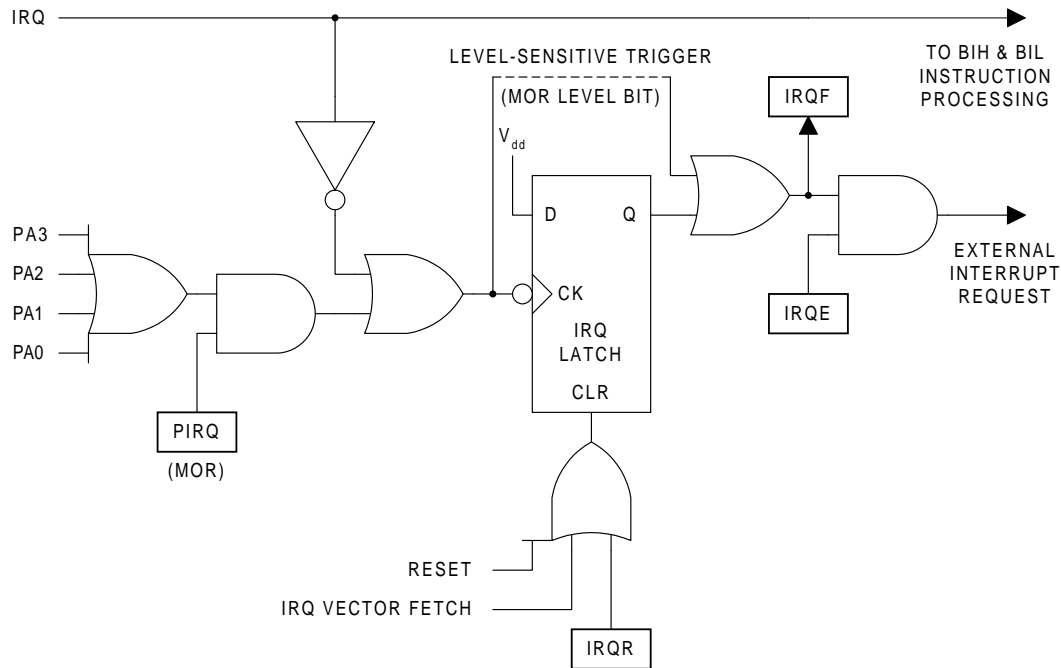


	Bit 7	6	5	4	3	2	1	Bit 0		
\$0001	Read	0	0	PB5	PB4	PB3	PB2	PB1	PB0	Port B Data Register (PORTB)
	Write	-	-	-	-	-	-	-	-	
	Reset	-	-	-	-	-	-	-	-	
\$0005	Read	0	0	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	Data Direction Register B (DDRB)
	Write	-	-	-	-	-	-	-	-	
	Reset	0	0	0	0	0	0	0	0	
\$0011	Read	-	-	-	-	-	-	-	-	Port B Pulldown Register (PDRA)
	Write	-	-	PDIB5	PDIB4	PDIB3	PDIB2	PDIB1	PDIB0	
	Reset	0	0	0	0	0	0	0	0	

# Timer w MC68HC05J1A

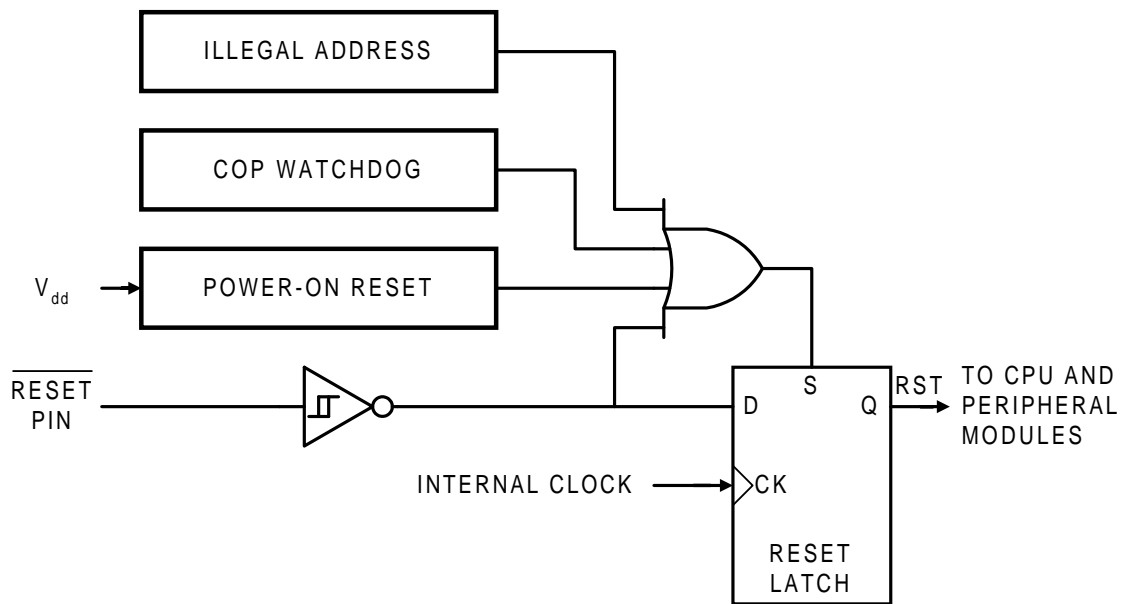


# Przerwania zewnętrzne w MC68HC05J1A



	Bit 7	6	5	4	3	2	1	Bit 0		
\$0008	Read	TOF	RTIF	TOIE	RTIE	0	0	RT1	RT0	Timer Status and Control Register (TSCR)
	Write	—	—	—	—	TOFR	RTIFR	—	—	
	Reset	0	0	0	0	0	0	1	1	
\$0009	Read	Bit 7	6	5	4	3	2	1	Bit 0	Timer Counter Register (TCR)
	Write	—	—	—	—	—	—	—	—	
	Reset	0	0	0	0	0	0	0	0	
\$000A	Read	IRQE	0	0	0	IRQF	0	0	0	IRQ Status and Control Register (ISCR)
	Write	—	—	—	R	—	—	IRQR	—	
	Reset	1	0	0	0	0	0	0	0	

## Układ restartu w MC68HC05J1A



## Wektory obsługi przerwań i restartu

adres	opis
\$07F8, \$07F9	Timer Interrupt Vector
\$07FA, \$07FB	External Interrupt Vector
\$07FC, \$07FD	Software Interrupt Vector
\$07FE, \$07FF	Reset Vector



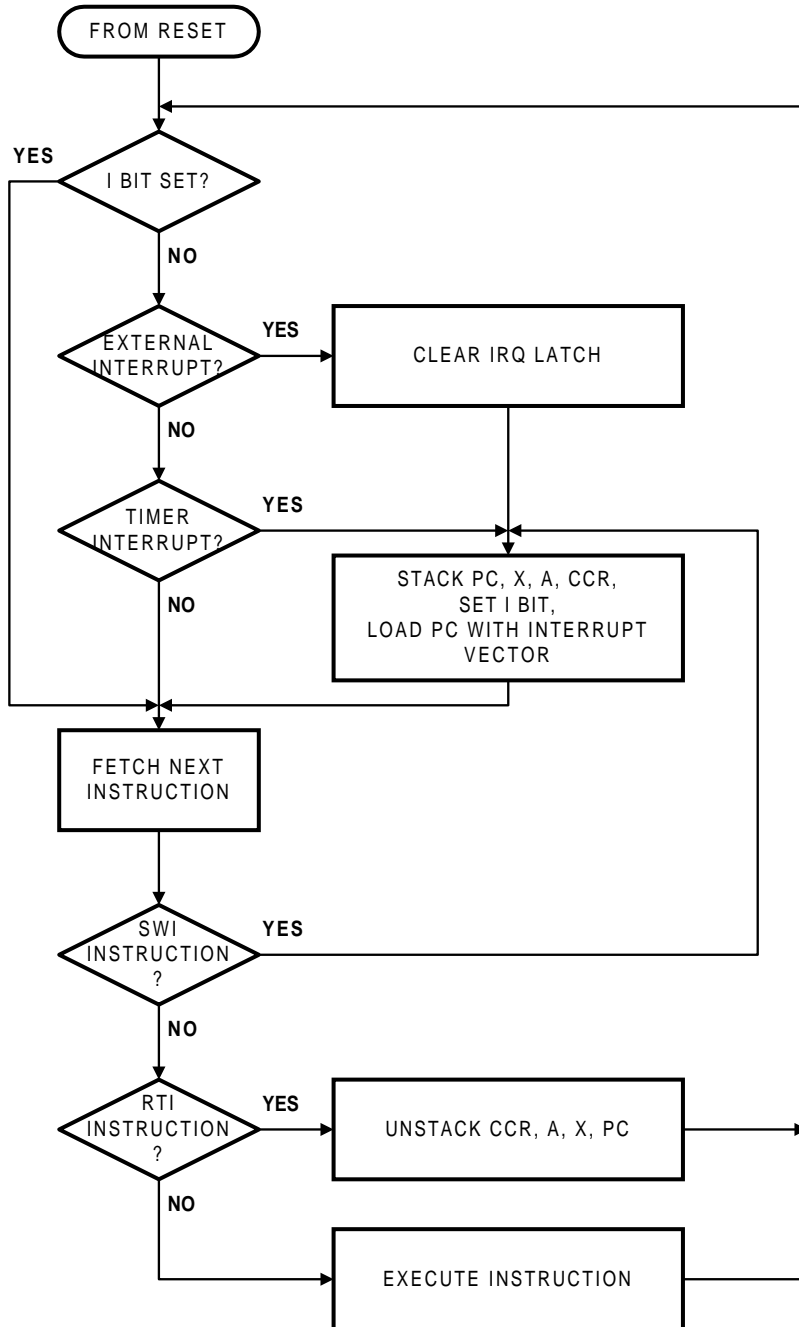
## Inne rejestry MC68HC05J1A

	Bit 7	6	5	4	3	2	1	Bit 0		
\$0018	Read	0	0	0	0	0	ELAT	MPGM	EPGM	EEPROM Prog. Register (EPROG)
	Write	–	R	R	R	R				
	Reset	0	0	0	0	0	0	0	0	
\$07F0	Read	–	–	–	–	–	–	–	–	COP Register (COPR)
	Write	–	–	–	–	–	–	–	COPC	
	Reset	–	–	–	–	–	–	–	0	
\$07F1	Read	SOSCD	EPMSEC	OSCREC	SWAIT	PDI	PIRQ	LEVEL	COPEN	Mask Option Register (MOR)
	Write									
	Reset	0	0	0	0	0	0	0	0	

## Rejestr konfiguracyjny MOR (programowalny w EPROM)

pole	opis
SOSCD	skrócenie opóźnienia przy starcie oscylatora
EPMSEC	zabezpieczenie EPROM przed dostępem z zewnątrz
OSCREC	włączenie rezystora (2MΩ) przy oscylatorze
SWAIT	zamiana instrukcji STOP na WAIT (tryb HALT)
PDI	globalne wyłączenie układów <i>pull-down</i> w portach
PIRQ	zezwozenie na przerwania od portu A (PA[3:0])
LEVEL	zezwozenie na wyzwalanie przerwań poziomem
COPEN	włączenie układu nadzoru sprzętowego ( <i>watchdog</i> )

# Cykl rozkazowy MC68HC05J1A



# Rejestry jednostki centralnej MC68HC05J1A

