

Na prawach rękopisu

INSTYTUT CYBERNETYKI TECHNICZNEJ
POLITECHNIKI WROCŁAWSKIEJ
Raport serii SPR nr 52/96

**Uniwersalny pakiet BCC-01
z mikrokontrolerem MC68332**

Ignacy Dulęba
Roman Mleczko
Marek Wnuk

Słowa kluczowe: mikrokontroler, sterownik

Wrocław 1996

Spis rzeczy

1	Wstęp	3
2	Schematy, dane techniczne	3
3	Konfigurowanie pracy płytki	4
4	Opisy łączówek pakietu BCC-01	6
5	Dodatek A: Schematy pakietu BCC-01	9
6	Dodatek B: Spis elementów pakietu BCC-01	13
7	Dodatek C: Montaż pakietu BCC-01	15
8	Dodatek D: Dokumentacja kliszowa pakietu BCC-01	18
9	Dodatek E: Poprawki płytki drukowanej (rev. A)	25

Spis tablic

1	Przyłączenie zasilania wewnętrznej pamięci RAM (2K) J1	4
2	Wybór sygnału zegara J2	4
3	Przyłączenie pamięci RAM z płytki J3	4
4	Przyłączenie pamięci EPROM z płytki J4	5
5	Przyłączenie linii <i>TxD</i> z procesora J5	5
6	Przyłączenie linii <i>RxD</i> do procesora J6	5
7	Ustawienie zwór w podstawowej konfiguracji BCC-01	5
8	Łączówka transmisji szeregowej J7	6
9	Sygnały łączówki transmisji szeregowej J7	6
10	Łączówka zewnętrznego debuggera J8	6
11	Sygnały łączówki zewnętrznego debuggera J8	7
12	Łączówki P1 i P2 (widok z góry).	7
13	Sygnały dostępne na łączówkach P1 i P2	8

1 Wstęp

Efektywne i szybkie uruchamianie sterowników urządzeń jest ściśle związane z bazą sprzętową i programistyczną. Sterowniki te, służąc różnym urządzeniom, wymagają odrębnych rozwiązań sprzętowych. Wygodnie jest jednak wydzielić wspólną platformę dla różnych sterowników - niezmienną (choć łatwo konfigurowalną), niezawodną i elastyczną.

Celem niniejszego projektu jest stworzenie i dokumentacja takiej platformy. Jej pierwowzorem jest płytka BCC [1] firmy MOTOROLA.

W skład opisywanego pakietu wchodzi:

- mikrokontroler 68332 wykonany w technologii HCMOS:
 - jednostka centralna CPU32 - 32-bitowy procesor o niewielkim poborze mocy (max. 600 mW, a podczas uśpienia 500mW), wykorzystujący do generacji zegara ogólnie dostępny, zewnętrzny oscylator kwarcowy 32768 Hz,
 - mikroprogramowany timer (*TPU - Time Processing Unit*) zawierający 16 niezależnych kanałów, które mogą pracować w wielu trybach (w tym również zdefiniowanych przez użytkownika) dostarczanych przez producenta (Motorola) w dwóch wersjach mikrokodu dla TPU (uniwersalnej *G - General purpose* i motoryzacyjnej *A - Automotive*),
 - dwa podsystemy komunikacji szeregowej - rozszerzony interfejs komunikacji SCI (uniwersalny asynchroniczny nadajnik/odbiornik transmisji *SCI - Serial Communication Interface*) oraz rozszerzony, szeregowy, peryferyjny interfejs kolejkowy do komunikacji synchronicznej z urządzeniami wejścia/wyjścia *QSPI - Queued Serial Peripheral Interface*,
 - 2kB pamięci statycznej RAM, która może być wykorzystana do współpracy z CPU lub jako pamięć mikrokodu dla TPU w przypadku tworzenia własnych funkcji czasowych,
 - programowalny układ dekodera adresów umożliwiający wybór do 12 urządzeń zewnętrznych lub pamięci bez jakichkolwiek dodatkowych układów,
- wymienne pamięci RAM i ROM (do 1MB) zestawiane z typowych układów o organizacji bajtowej ($X*8$ bitów), które można odłączyć odpowiednimi zworkami,
- układ transmisji szeregowej RS232C wykorzystujący SCI i translator poziomów napięciowych - układ MAX 232A,
- zwory służące konfiguracji sprzętowej,
- złącze wbudowanego emulatora (*BDM - Background Debug Mode*),
- standardowe złącza (zgodne z oryginalną płytką BCC).

2 Schematy, dane techniczne

Ideowe schematy płytki zamieszczono na rysunkach:

1. procesor wraz z sygnałami,
2. pamięci RAM, ROM oraz układ transmisji szeregowej
3. łączówki doprowadzające/odprowadzające sygnały z płytki

Płytkę zaprojektowano i zrealizowano na czterowarstwowym druku przy wykorzystaniu elementów SMD.

3 Konfigurowanie pracy płytki

Do ustawienia parametrów pracy układu służą zwory. Poniżej umieszczono opis ich funkcji.

Wewnętrzna pamięć RAM może być zasilana z dodatkowego źródła (baterii, akumulatora) w celu zachowania jej zawartości przy wyłączeniu zasilania głównego. Do tego celu służy zwora J1 (tab. 1).

Tablica 1: Przyłączenie zasilania wewnętrznej pamięci RAM (2K) J1

zestyki zwarte	opis
1-2	Włączenie zasilania wewnętrznej pamięci RAM

Zegar dla procesora może być generowany na podstawie umieszczonego na pakiecie rezonatora kwarcowego $32768 = 2^{15} Hz$, lub na podstawie zewnętrznego źródła częstotliwości odniesienia (25 - 50 kHz). Do wyboru źródła wzorcowego dla wbudowanej do mikrokontrolera 68332 pętli synchronizacji fazowej pełniącej rolę programowalnego mnożnika częstotliwości służy zworka J2 (tab. 2).

Tablica 2: Wybór sygnału zegara J2

zestyki zwarte	opis
1-2	Zegar zewnętrzny
2-3	Lokalny oscylator

Umieszczone na pakiecie pamięci RAM mogą być przyłączone do mikrokontrolera (sytuacja typowa), lub wyłączone w celu przyłączenia na ich miejsce innych pamięci za pośrednictwem łączówek P1 i P2. Do włączania i wyłączania pamięci RAM służy zworka J3 ustalająca poziom logiczny sygnału sterowania ich buforami wyjściowymi (tab. 3).

Tablica 3: Przyłączenie pamięci RAM z płytki J3

zestyki zwarte	opis
1-2	Wyłączenie pamięci RAM na płycie
2-3	Wybranie pamięci RAM na płycie

Podobnie wybiera się pamięć EPROM przy pomocy zworki J4 (tab. 4). Tu jest to tym istotniejsze, że pamięć EPROM na pakiecie jest wybierana sygnałem \overline{CSBOOT} , który jest jedynym aktywnym sygnałem wyboru z wbudowanego dekodera adresowego w chwili restartu procesora. Chcąc użyć zewnętrznych (w stosunku do opisywanego pakietu) pamięci ROM z własnym oprogramowaniem musimy odłączyć lokalne pamięci EPROM.

Układ transmisji szeregowej SCI można wykorzystywać w sposób standardowy, dzięki zamontowanemu na pakiecie nadajnikowi/odbiornikowi RS232C (MAX232A), lub w dowolny inny, dzięki możliwości odłączenia sygnałów danych nadawanych (tab. 5) i odbieranych (tab. 6) od translatora poziomów.

Wszystkie zwory są wykonane w postaci listew szpilkowych, na które zakłada się łączniki.

UWAGA: żadna ze zworek nie ma wstępnie poprowadzonego połączenia na płycie drukowanej.

Podstawowa konfiguracja pakietu BCC-01 zawiera pamięci RAM 128k*8 i EPROM 128k*8, lokalny oscylator kwarcowy 32768Hz, układ transmisji szeregowej RS232C, co umożliwia wykorzystanie go jako samodzielnego, jednopłytkowego mikrokomputera. Ustawienie zwór w podstawowej konfiguracji przedstawiono w tab. 7.

Tablica 4: Przyłączenie pamięci EPROM z płytki J4

zestyki zwarte	opis
1-2	Włączenie pamięci EPROM na płycie
2-3	Wyłączenie pamięci EPROM na płycie

Tablica 5: Przyłączenie linii *TxD* z procesora J5

zestyki zwarte	opis
1-2	Podłączenie linii danych nadawanych z procesora do układu transmisji szeregowej (<i>TxD</i>)

Tablica 6: Przyłączenie linii *RxD* do procesora J6

zestyki zwarte	opis
1-2	Podłączenie linii danych odbieranych z układu transmisji szeregowej do procesora (<i>RxD</i>)

Tablica 7: Ustawienie zwór w podstawowej konfiguracji BCC-01

zwora	zestyki zwarte	opis
J1	1-2	Włączenie zasilania wewnętrznej pamięci RAM
J2	2-3	Lokalny oscylator
J3	2-3	Wybranie pamięci RAM na płycie
J4	1-2	Włączenie pamięci EPROM na płycie
J5	1-2	Podłączenie linii danych nadawanych z procesora do układu transmisji szeregowej (<i>TxD</i>)
J6	1-2	Podłączenie linii danych odbieranych z układu transmisji szeregowej do procesora (<i>RxD</i>)

4 Opisy łączówek pakietu BCC-01

Przyłączenie zewnętrznego terminala (lub komputera wyposażonego w złącze szeregowo) jest możliwe dzięki łączówce J7 (tab. 8). Złącze RS232C jest typu DTE *Data Terminal Equipment*. Wyprowadzenia sygnałów są zgodne z jedną z dwóch konwencji spotykanych w typowych płytach I/O dla PC.

Tablica 8: Łączówka transmisji szeregowej J7

<i>wolny</i>	1	2	<i>RxD</i>
<i>TxD</i>	3	4	<i>DTR</i>
<i>GND</i>	5	6	<i>wolny</i>
<i>wolny</i>	7	8	<i>wolny</i>
<i>wolny</i>	9	10	<i>wolny</i>

Opis obsługiwanych sygnałów podano w tab. 9.

Tablica 9: Sygnały łączówki transmisji szeregowej J7

oznaczenie	opis	pin
<i>RxD</i>	wejscie danych odbieranych (RS232C)	2
<i>TxD</i>	wyjście danych nadawanych (RS232C)	3
<i>DTR</i>	sygnał gotowości urządzenia (RS232C)	4
<i>GND</i>	masa sygnałowa	5

Sygnały umożliwiające wykorzystanie wbudowanego w mikrokontroler 68332 układu emulacji w tle (*BDM - Background Debug Mode*) zostały wyprowadzone na łączówkę J8 (tab. 10).

Tablica 10: Łączówka zewnętrznego debuggera J8

<i>GND</i>	1	2	<i>BKPT/DSCLK</i>
<i>GND</i>	3	4	<i>FREEZE/QUOT</i>
<i>RESET</i>	5	6	<i>IFETCH/DSI</i>
<i>Vcc</i>	7	8	<i>IPIPE/DSO</i>

Opisy sygnałów wyprowadzonych na tę łączówkę podano w tab. 11. Warto zwrócić uwagę, że Jest ona przystosowana do kabla taśmowego 8-żyłowego. 10-żyłowe wersje interfejsów (np. [3]) należy włączać tak, by styki 1 i 2 ich kabla taśmowego nie były wykorzystane.

Wszystkie sygnały mikrokontrolera, jak również sygnały transmisji szeregowej po konwersji na poziomy napięciow RS232C, zostały wyprowadzone na łączówki P1 i P2 (tab. 12). Umożliwia to wykorzystanie pakietu BCC-01 jako jednostki centralnej dla dowolnego układu prototypowego, pod warunkiem wyposażenia go w odpowiednie złącza. Zachowano zarówno mechaniczną jak i elektryczną zgodność łączówek i rozmieszczenia sygnałów z pakietem BCC oferowanym przez firmę Motorola w ramach zestawu M68332EVK [2]. Opisy sygnałów dostępnych na łączówkach P1 i P2 podano w tab. 13.

Tablica 11: Sygnały łączówki zewnętrznego debuggera J8

oznaczenie	opis	pin
<i>BKPT</i>	żądanie przejścia CPU32 w tryb BDM (emulacji w tle)	2
<i>FREEZE</i>	potwierdzenie przejścia CPU32 w tryb BDM (emulacji w tle)	4
<i>RESET</i>	reset	5
<i>IFETCH</i>	wskaźnik, że CPU wykonuje instrukcję wstępnego pobrania rozkazu	6
<i>IPIPE</i>	sygnał śledzenia ruchu słów w kolejce instrukcji	8
<i>QUOT</i>	bit wyjściowy wyniku testu wielomianowego	4
<i>DSCLK</i>	zegar transmisji w trybie BDM (emulacji w tle)	2
<i>DSI</i>	wejście danych w trybie BDM (emulacji w tle)	6
<i>DSO</i>	wyjście danych w trybie BDM (emulacji w tle)	8

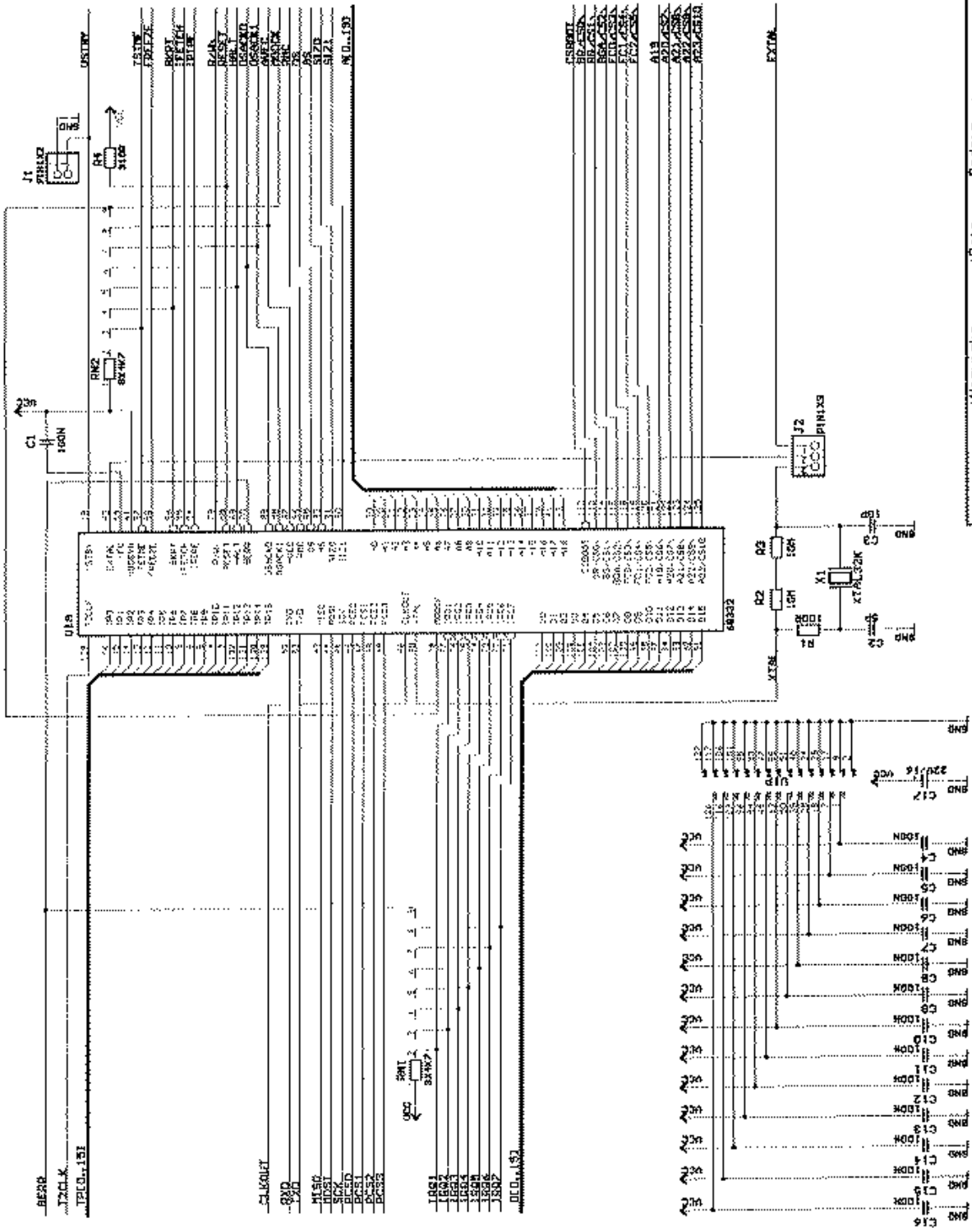
Tablica 12: Łączówki P1 i P2 (widok z góry).

łączówka P1				łączówka P2			
<i>GND</i>	1	2	<i>GND</i>	<i>GND</i>	1	2	<i>GND</i>
<i>Vcc</i>	3	4	<i>Vcc</i>	<i>Vcc</i>	3	4	<i>Vcc</i>
<i>DTROUT</i>	5	6	<i>A0</i>	<i>D1</i>	5	6	<i>D0</i>
<i>A1</i>	7	8	<i>A2</i>	<i>D3</i>	7	8	<i>D2</i>
<i>A3</i>	9	10	<i>A4</i>	<i>D5</i>	9	10	<i>D4</i>
<i>A5</i>	11	12	<i>A6</i>	<i>D7</i>	11	12	<i>D6</i>
<i>A7</i>	13	14	<i>A8</i>	<i>D9</i>	13	14	<i>D8</i>
<i>A9</i>	15	16	<i>A10</i>	<i>D11</i>	15	16	<i>D10</i>
<i>A11</i>	17	18	<i>A12</i>	<i>D13</i>	17	18	<i>D12</i>
<i>A13</i>	19	20	<i>A14</i>	<i>D15</i>	19	20	<i>D14</i>
<i>A15</i>	21	22	<i>A16</i>	wolny	21	22	wolny
<i>A17</i>	23	24	<i>A18</i>	wolny	23	24	<i>XMT232</i>
wolny	25	26	wolny	<i>CSBOOT</i>	25	26	<i>RCV232</i>
wolny	27	28	<i>VSTBY</i>	<i>R/W</i>	27	28	<i>MODCK</i>
wolny	29	30	<i>T2CLK</i>	<i>TSTME/TSC</i>	29	30	<i>A23/CS10</i>
<i>TP15</i>	31	32	<i>TP14</i>	<i>A22/CS9</i>	31	32	<i>A21/CS8</i>
<i>TP13</i>	33	34	<i>TP12</i>	<i>A20/CS7</i>	33	34	<i>A19/CS6</i>
<i>TP11</i>	35	36	<i>TP10</i>	<i>FC2/CS5</i>	35	36	<i>FC1/CS4</i>
<i>TP9</i>	37	38	<i>TP8</i>	<i>FC0/CS3</i>	37	38	<i>BGACK/CS2</i>
<i>TP7</i>	39	40	<i>TP6</i>	<i>BG/CS1</i>	39	40	<i>BR/CS0</i>
<i>TP5</i>	41	42	<i>TP4</i>	<i>IRQ1</i>	41	42	<i>IRQ2</i>
<i>TP3</i>	43	44	<i>TP2</i>	<i>IRQ3</i>	43	44	<i>IRQ4</i>
<i>TP1</i>	45	46	<i>TP0</i>	<i>IRQ5</i>	45	46	<i>IRQ6</i>
<i>MOSI</i>	47	48	<i>MISO</i>	<i>IRQ7</i>	47	48	<i>BERR</i>
<i>PCS0/SS</i>	49	50	<i>SCK</i>	<i>DSACK0</i>	49	50	<i>DSACK1</i>
<i>PCS2</i>	51	52	<i>PCS1</i>	<i>AVEC</i>	51	52	<i>RMC</i>
<i>TxD</i>	53	54	<i>PCS3</i>	<i>DS</i>	53	54	<i>AS</i>
<i>BKPT/DSCLK</i>	55	56	<i>RxD</i>	<i>SIZ0</i>	55	56	<i>SIZ1</i>
<i>RESET</i>	57	58	<i>FREEZE/QUOT</i>	wolny	57	58	<i>CLKOUT</i>
<i>IPIPE/DSO</i>	59	60	<i>FETCH/DSI</i>	<i>EXTAL</i>	59	60	<i>HALT</i>
<i>Vcc</i>	61	62	<i>Vcc</i>	<i>Vcc</i>	61	62	<i>Vcc</i>
<i>GND</i>	63	64	<i>GND</i>	<i>GND</i>	63	64	<i>GND</i>

Tablica 13: Sygnały dostępne na łączówkach P1 i P2

oznaczenie	opis	pin
$A0 - 23$	szyna adresowa	P1-24-6
$FC0 - FC2$	stan procesora i typu cyklu magistrali	P2-35-37
R/\overline{W}	kierunek transmisji danych	P2-27
\overline{RMC}	wskaźnik niepodzielnego cyklu magistrali	P2-52
\overline{AS}	znacznik adresu na magistrali	P2-54
$D0 - 15$	szyna danych	P2-6-20
$SIZE - 1$	rozmiar danych w cyklu	P2-55,56
$\overline{DSACK0} - 1$	potwierdzenie transmisji i rozmiaru danych	P2-49,50
\overline{BERR}	błąd magistrali	P2-48
\overline{DS}	znacznik transmisji danych na magistrali	P2-53
\overline{CSBOOT}	wybór pamięci zawierającej wektor restartu	P2-25
$\overline{CS0} - 10$	wybór zewnętrznych urządzeń i pamięci	P2-40-30
$IRQ1 - 7$	wejścia przerwań CPU	P2-41-47
\overline{AVEC}	żądanie automatycznego wektora obsługi przerwania	P2-51
\overline{BR}	żądanie arbitrażu magistrali	P2-40
\overline{BG}	wskaźnik zwolnienia magistrali	P2-39
\overline{BGACK}	potwierdzenie przejęcia magistrali	P2-38
\overline{RESET}	systemowy RESET	P1-57
\overline{HALT}	zawieszenie zewnętrznej aktywności magistrali	P2-60
\overline{VSTBY}	zasilanie wewnętrznej pamięci RAM	P1-28
\overline{TSC}	blokada buforów wyjściowych ($10V - 2*V_{dd}$)	P2-29
\overline{MODCK}	wybór źródła zegara systemowego	P2-28
\overline{CLKOUT}	wyjście zegara	P2-58
\overline{EXTAL}	wejście zewnętrznego zegara	P2-59
$\overline{T2CLK}$	zewnętrzny zegar dla TPU	P1-30
$TP0 - TP15$	wejścia/wyjścia TPU	P1-46-31
\overline{MOSI}	wejście (master) lub wyjście (slave) QSPI	P1-47
\overline{MISO}	wyjście (master) lub wejście (slave) QSPI	P1-48
\overline{SCK}	zegar transmisji QSPI	P1-50
\overline{SS}	wybór QSPI w trybie slave	P1-49
$\overline{PCS0} - 3$	wybór urządzeń w trybie master	P1-49-51
TxD	wejście SCI	P1-53
RxD	wyjście SCI	P1-56
$\overline{RCV232}$	wejście RS232C	P2-26
$\overline{XMT232}$	wyjście RS232C	P2-24
\overline{BKPT}	wprowadzenie w tryb emulacji	P1-55
\overline{FREEZE}	potwierdzenie wejścia CPU w tryb emulacji	P1-58
\overline{TPIPE}	sygnał przepływu instrukcji przez kolejkę	P1-59
\overline{FETCH}	wskaźnik pobrania instrukcji z kolejki	P1-60
\overline{TSTME}	wejście do trybu testowego	P2-29

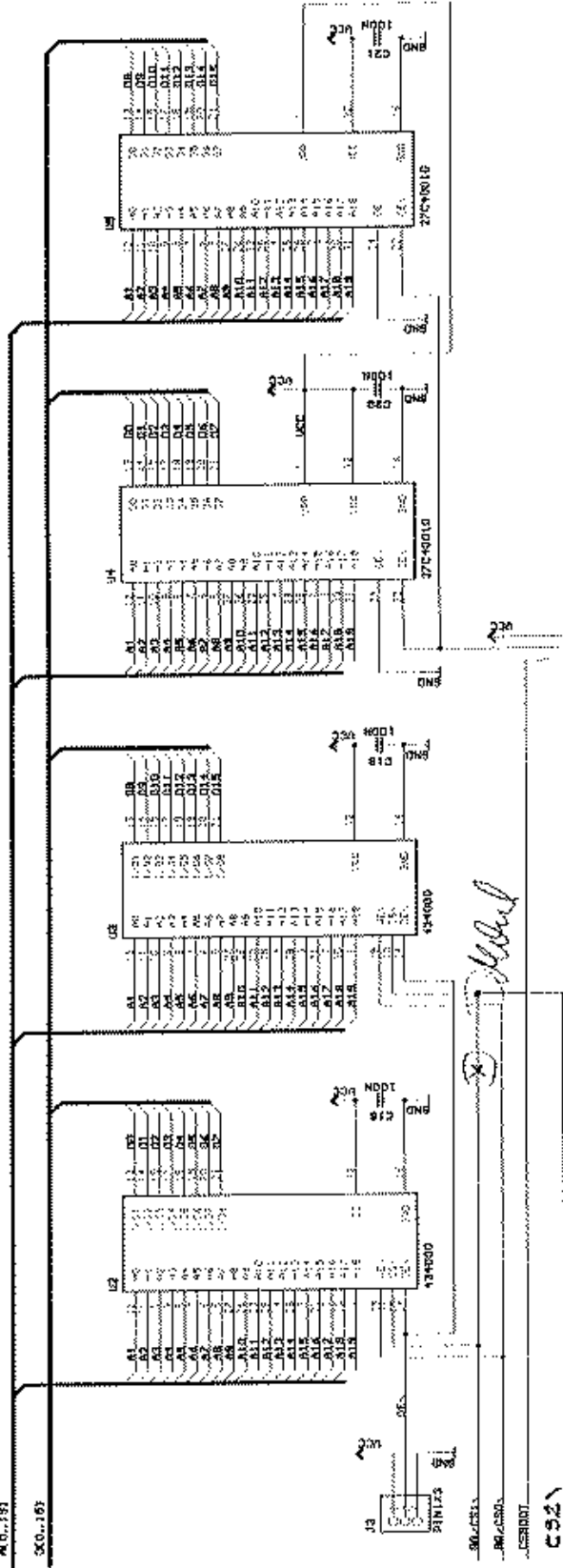
5 Dodatek A: Schematy pakietu BCC-01



Nazivsko: 0.01.3 Podpis:
 Konstruirao: E.ČIŽIĆ/MSK
 Datum: 1986.06
 SOR: auzdiz1

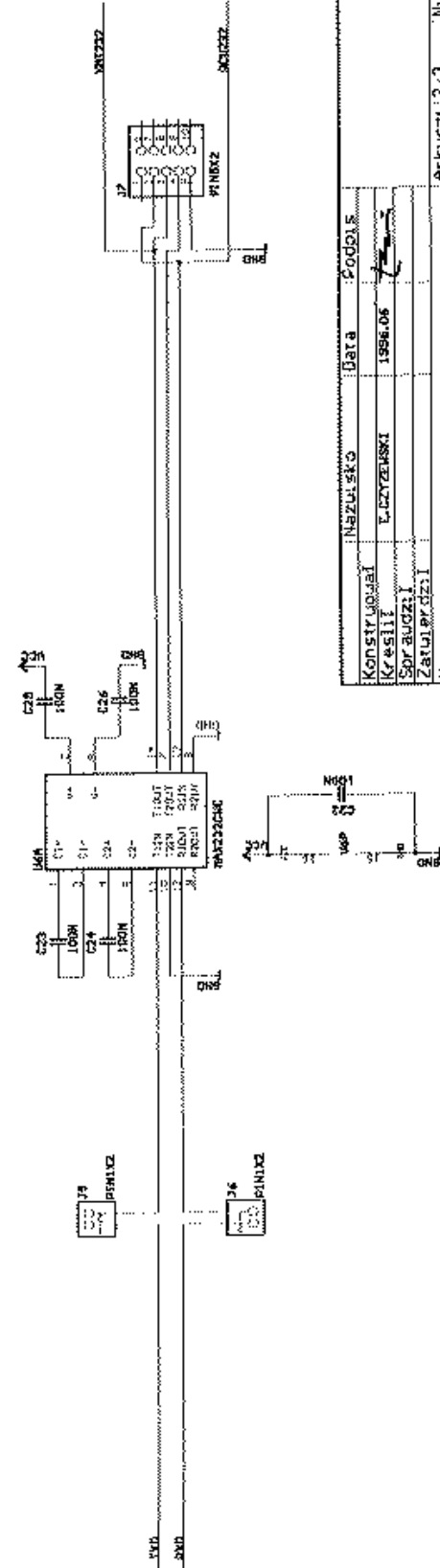
WTD...151

310...161



Handwritten signature

392



INŻYNIERSKO	Data	Podpis
KONSTYTUOWAL		
KRESILLI	1986.06	
SOR AUGZLI		
ZATUL PRIDEZI		
Nazwa r/ys.	KARTA BCC-01	Number
Arkusze	1/3	Summa

Dodatek B: Spis elementów pakietu BCC-01

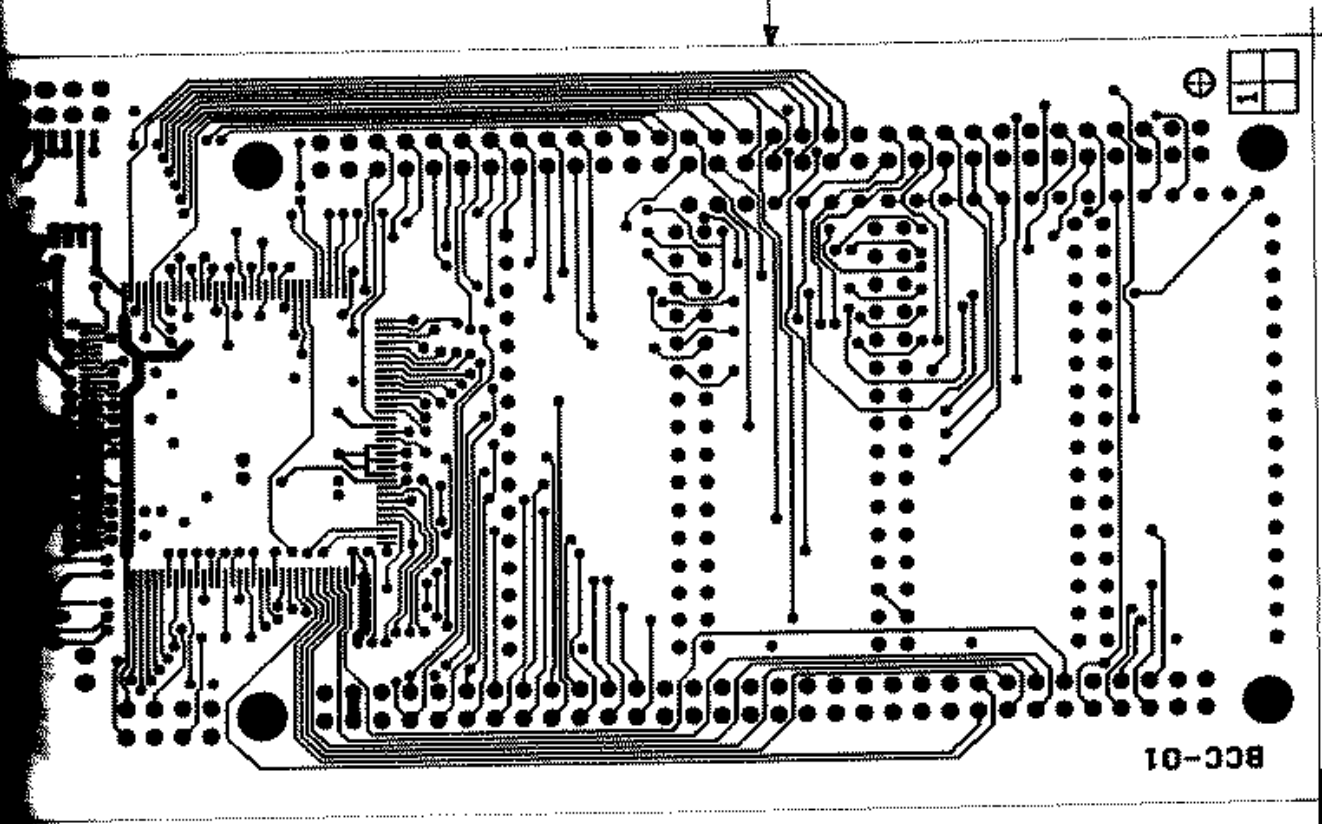
Partlist exported from BCC01.SCH at 1996.07.12 10:05:53

Part	Value	Device	Package	Library	Sheet
C1	100N	CAP-1206	1206	SMD	1
C2	5F 22p	CAP-0805	0805	SMD	1 <i>dw</i>
C3	10F 22p	CAP-0805	0805	SMD	1 <i>dw</i>
C4	100N	CAP-1206	1206	SMD	1
C5	100N	CAP-1206	1206	SMD	1
C6	100N	CAP-1206	1206	SMD	1
C7	100N	CAP-1206	1206	SMD	1
C8	100N	CAP-1206	1206	SMD	1
C9	100N	CAP-1206	1206	SMD	1
C10	100N	CAP-1206	1206	SMD	1
C11	100N	CAP-1206	1206	SMD	1
C12	100N	CAP-1206	1206	SMD	1
C13	100N	CAP-1206	1206	SMD	1
C14	100N	CAP-1206	1206	SMD	1
C15	100N	CAP-1206	1206	SMD	1
C16	100N	CAP-1206	1206	SMD	1
C17	22U/16	ELC-D	7243	SMD	1
C18	100N	CAP-1206	1206	SMD	2
C19	100N	CAP-1206	1206	SMD	2
C20	100N	CAP-1206	1206	SMD	2
C21	100N	CAP-1206	1206	SMD	2
C22	100N	CAP-1206	1206	SMD	2
C23	100N	CAP-1206	1206	SMD	2
C24	100N	CAP-1206	1206	SMD	2
C25	100N	CAP-1206	1206	SMD	2
C26	100N	CAP-1206	1206	SMD	2
J1	PIN1X2	PINHD-1X2	1X02	PINHEAD	1
J2	PIN1X3	PINHD-1X3	1X03	PINHEAD	1
J3	PIN1X3	PINHD-1X3	1X03	PINHEAD	2
J4	PIN1X3	PINHD-1X3	1X03	PINHEAD	2
J5	PIN1X2	PINHD-1X2	1X02	PINHEAD	2
J6	PIN1X2	PINHD-1X2	1X02	PINHEAD	2
J7	PIN5X2	PIN5X2	2X05	PINHEAD	2
J8	PIN2X4	PINHD-2X4	2X04	PINHEAD	3
P1	821064	821064	VG64B-F	CONNECT2	3
P2	821064	821064	VG64B-F	CONNECT2	3
R1	100K 220K	RES-1206	1206	SMD	1 <i>dw</i>
R2	10M	RES-1206	1206	SMD	1
R3	10M 100R	RES-1206	1206	SMD	1 <i>dw</i>
R4	910R	RES-1206	1206	SMD	1
RN1	8X4K7	RN08	RN-9	DISCRETE	1
RN2	8X4K7	RN08	RN-9	DISCRETE	1
U1	68332	68332	QFP-132	M68000	1
U2	434000	434000	DIL-32	MEMNEC	2
U3	434000	434000	DIL-32	MEMNEC	2
U4	27C4001D	27C4001D	DIL-32	MEMNEC	2
U5	27C4001D	27C4001D	DIL-32	MEMNEC	2
U6	MAX232CWE	MAX232/S	SO-16W	SMD	2
XTAL	XTAL32K	XTAL40K	C-001R	ELFIN	1

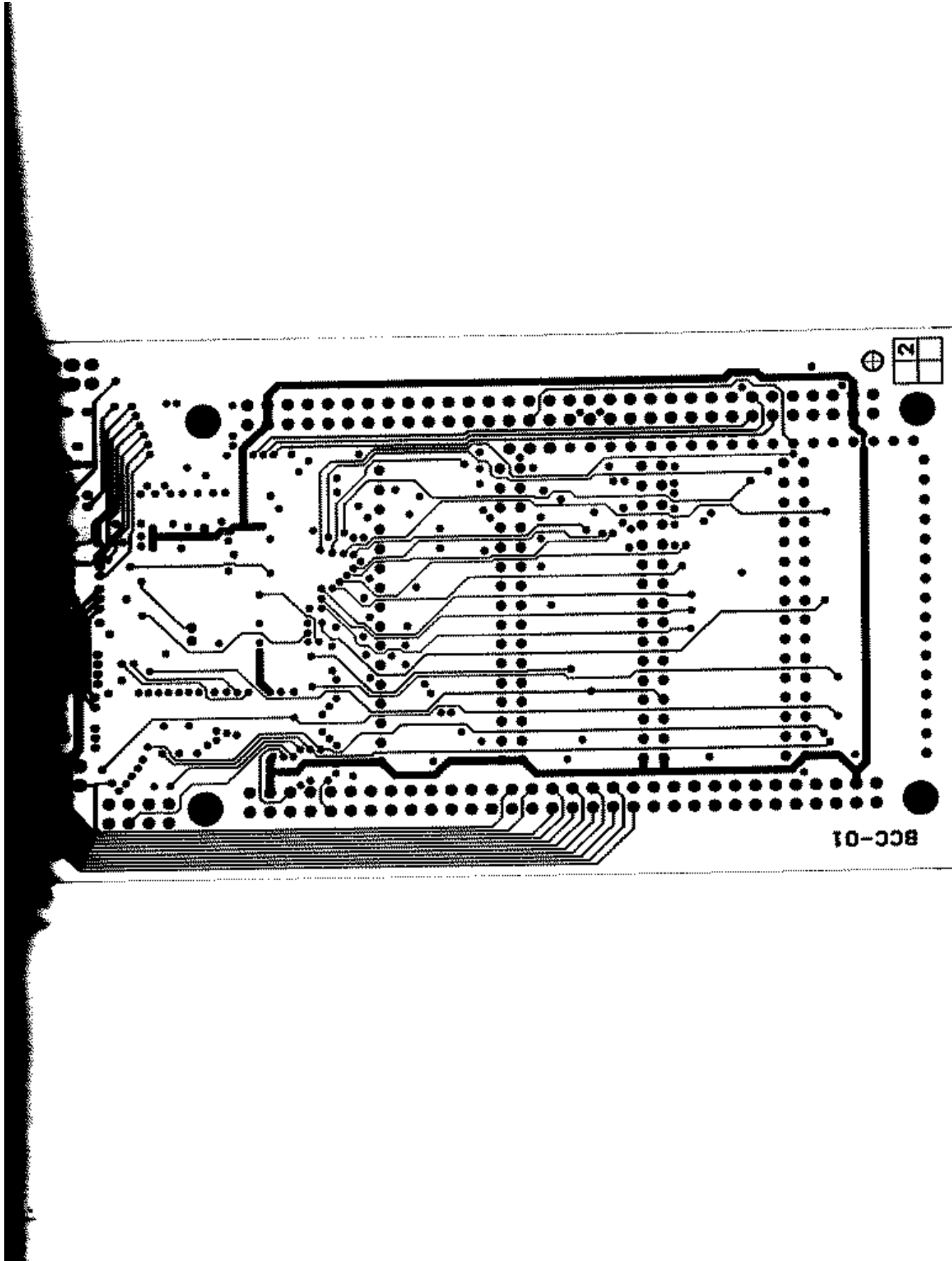
7 Dodatek C: Montaż pakietu BCC-01

8 Dodatek D: Dokumentacja kliszowa pakietu BCC-01

C56
P C57



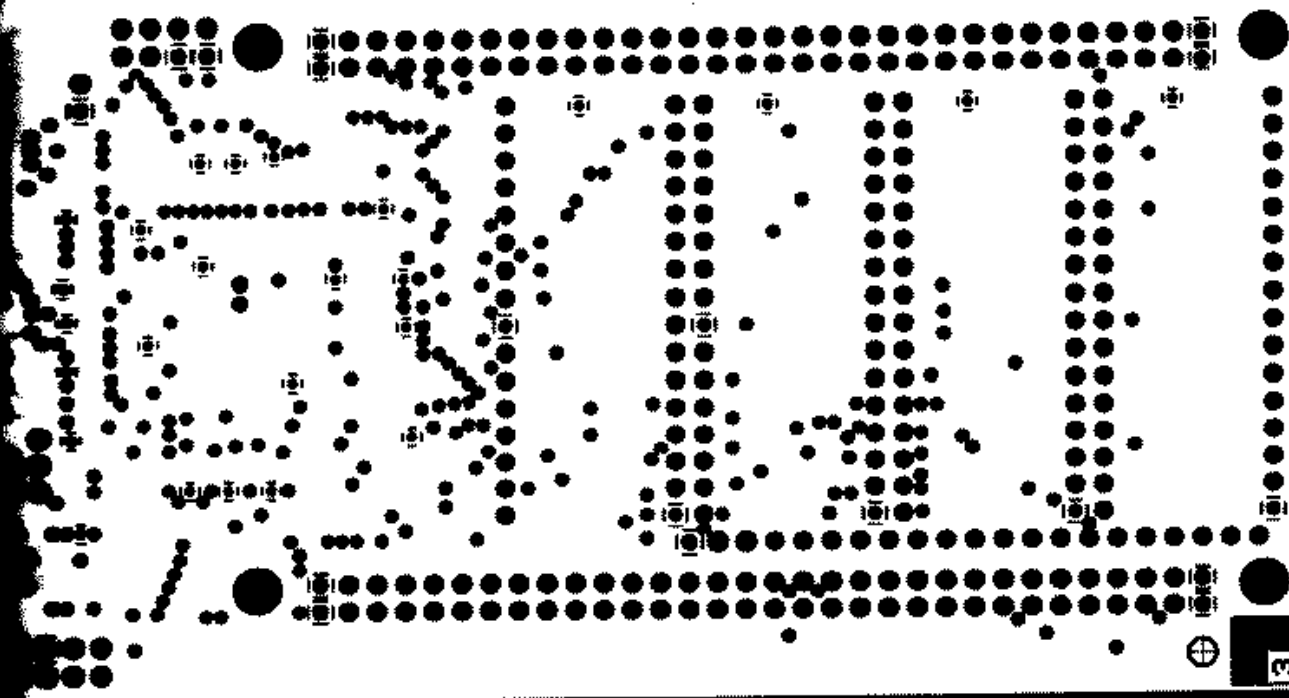
10-008

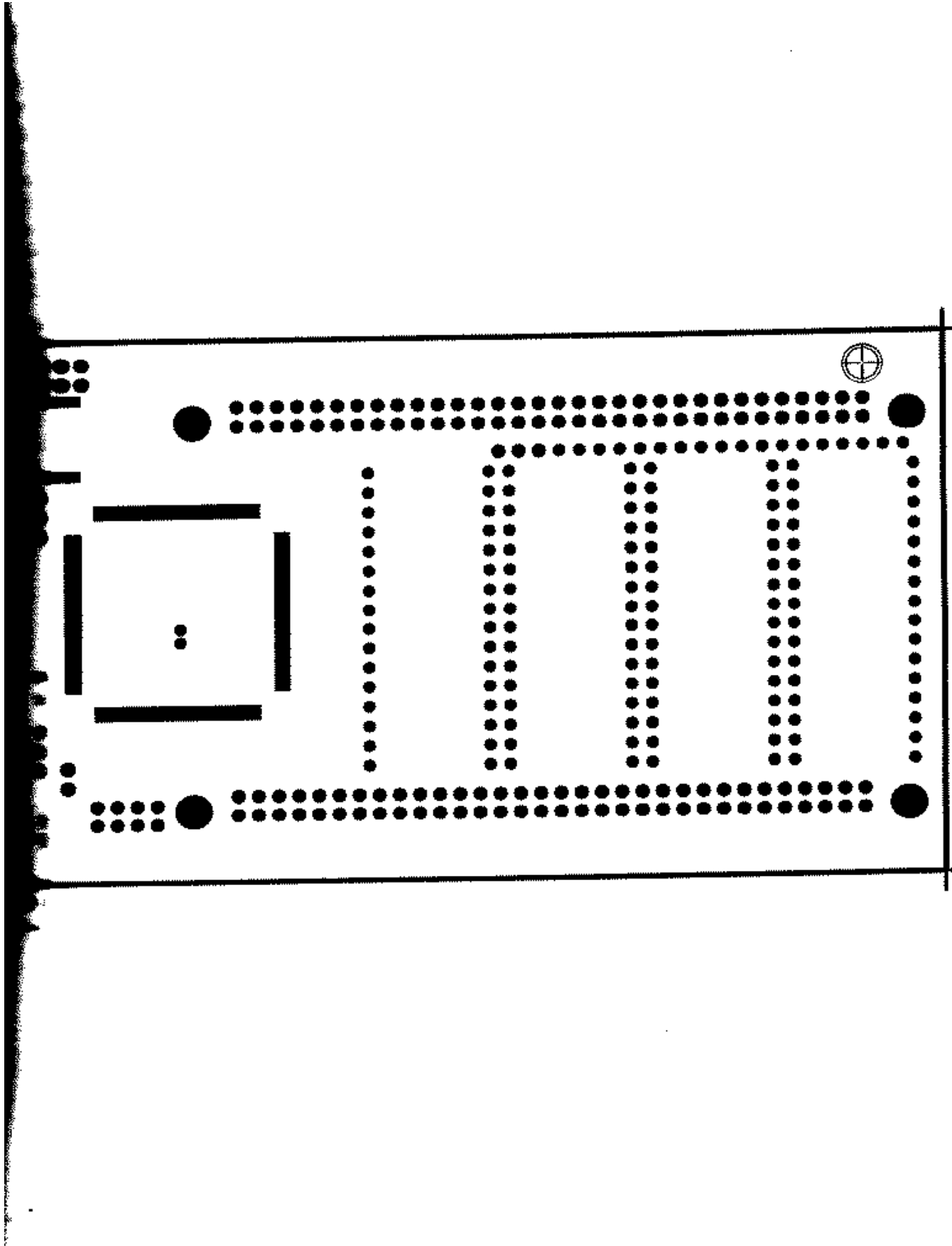


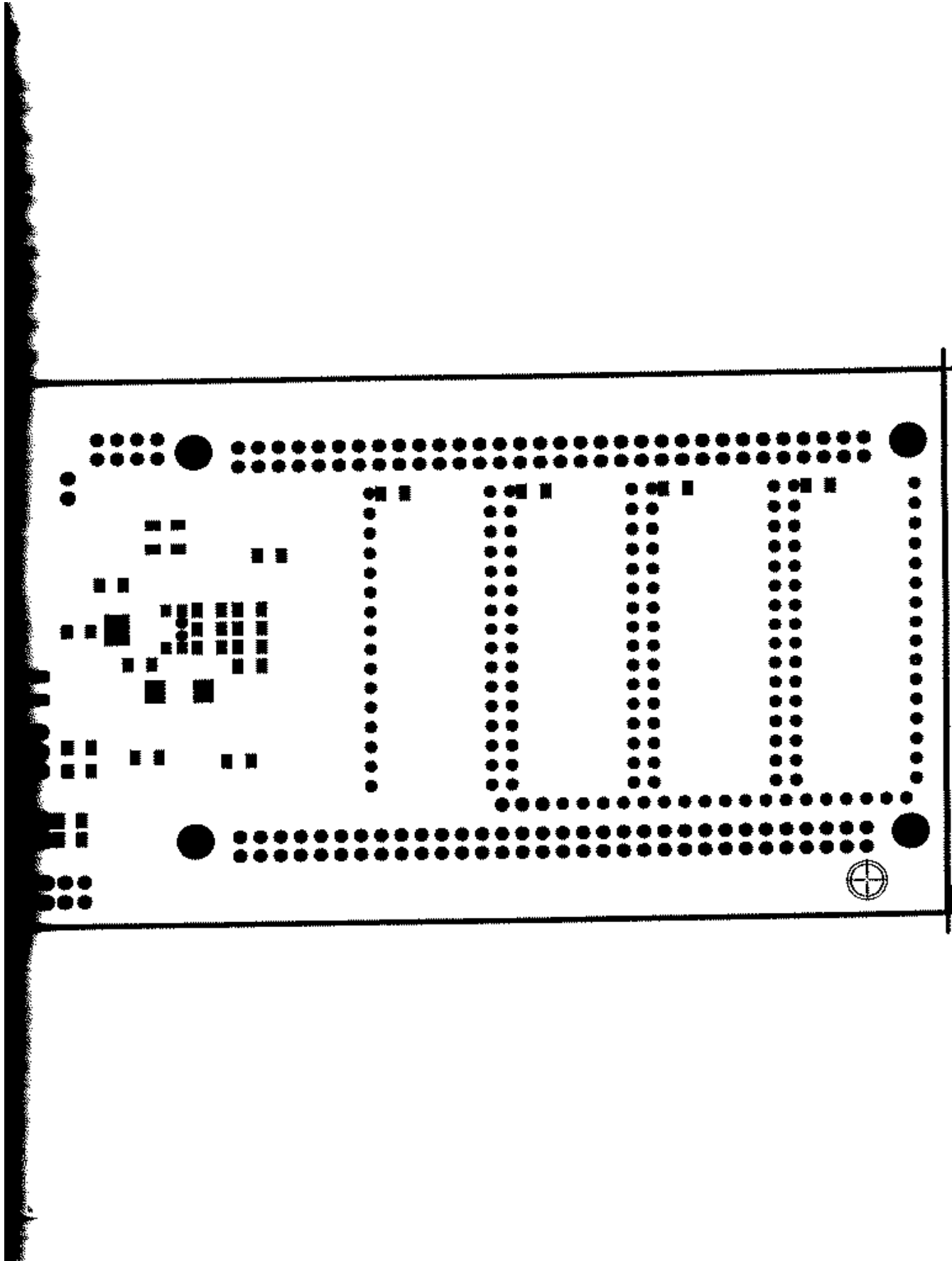
2

BCC-01

BCC-01







9 Dodatek E: Poprawki płytki drukowanej (rev. A)

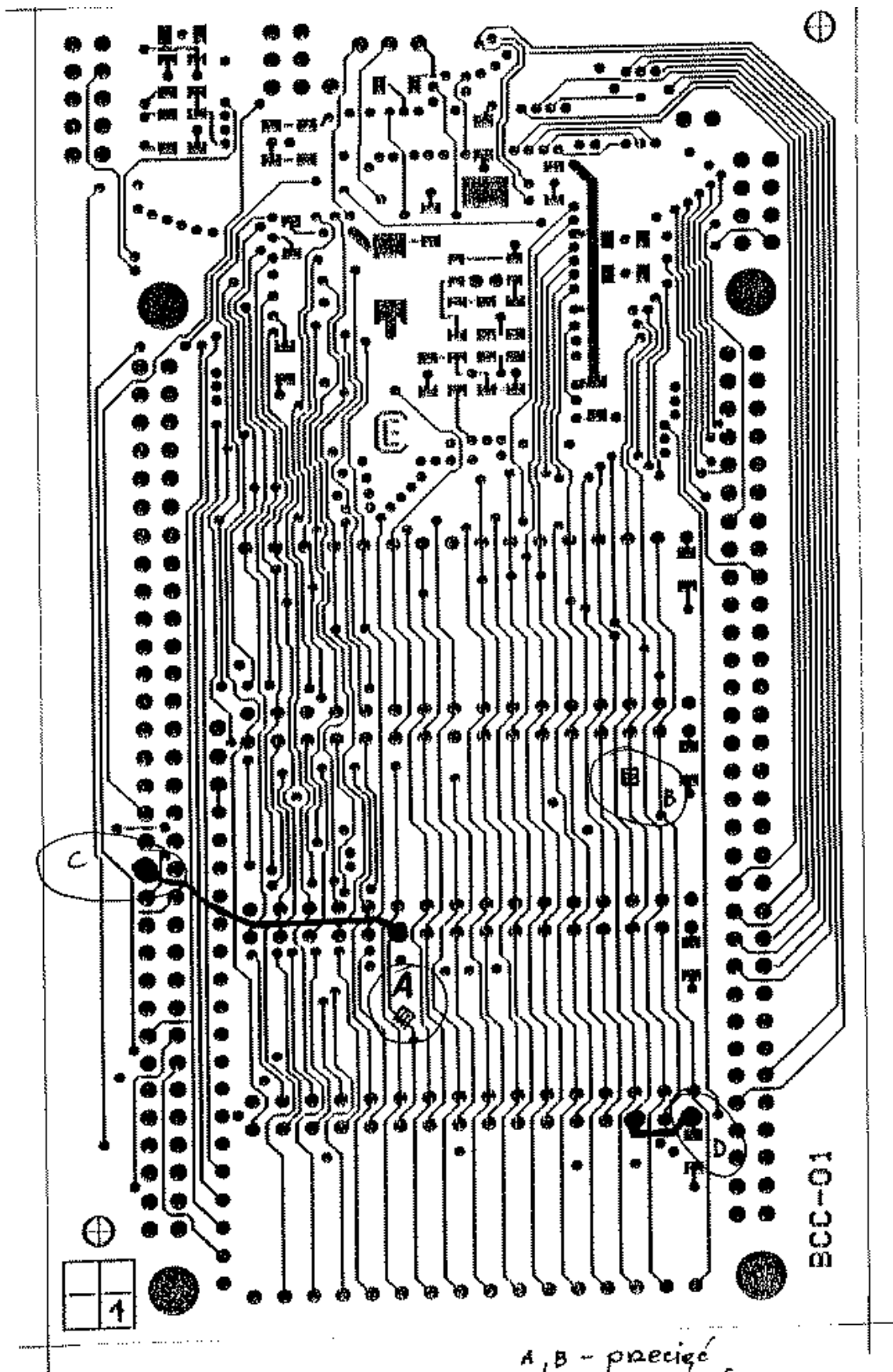
Przy uruchamianiu pierwszego egzemplarza pakietu wykryto dwa błędy w projekcie, które można usunąć przez prostą modyfikację układu połączeń drukowanych.

Pierwsza z usterek dotyczy sygnału \overline{CS} dla pamięci RAM (U3). Należy usunąć połączenie wyprowadzenia 22 układu U3 z analogicznym wyprowadzeniem układu U2, a zamiast niego wprowadzić połączenie 22(U3) z sygnałem $\overline{CS2}$ mikrokontrolera 115(U1A). Najlepiej to zrobić po stronie elementów, przed zamontowaniem podstawek, pomiędzy 22(U3) i 38(P2).

Druga poprawka musi być wykonana w przypadku wykorzystywania pamięci RAM o pojemności 128k*8 (zamiast podanych 512k*8). Należy wtedy usunąć połączenie wyprowadzeń 30 układów U2 i U3 z linią adresową A18, a zamiast niego wprowadzić połączenie 30(U2,U3) z Vcc. Najlepiej to zrobić po stronie lutowania, łącząc 30(U2) z 32(U2).

Dodatkowo wykryto brak połączenia wyprowadzenia 61 łączówki P1 z warstwą zasilania (Vcc).

Poprawki pokazano na załączonym rysunku.



A, B - precieq
 C, D - potoczne

Bibliografia

- [1] "MC 68332 User's Manual" , Motorola Inc. 1990.
- [2] "M68332EVK User's Manual" , Motorola Inc. 1991.
- [3] "M681CD32 In-Circuit Debugger User's Manual" , Motorola Inc. 1992.

dr inż. Ignacy Dułęba
Roman Mleczo
dr inż. Marek Wnuk
Instytut Cybernetyki Technicznej
Politechniki Wrocławskiej
ul. Janiszewskiego 11/17
50-372 Wrocław

Niniejszy raport otrzymują:

1. OINT - 1 egz.
2. Zleceniodawca - 1 egz.
3. Autorzy - 3 egz.
4. Laboratorium Robotyki - 5 egz.

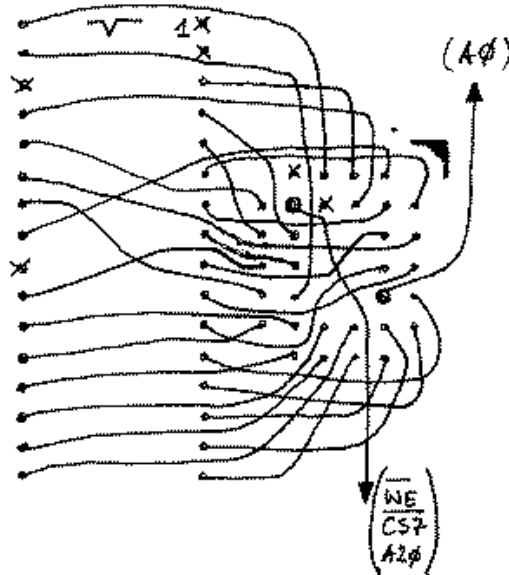
Razem : 10 egz.

Raport wpłynął do redakcji I-6
w grudniu 1996 roku.

Wersja 1 (z podstawką)
oś obrotu

29F010 PLCC
dla BCC01

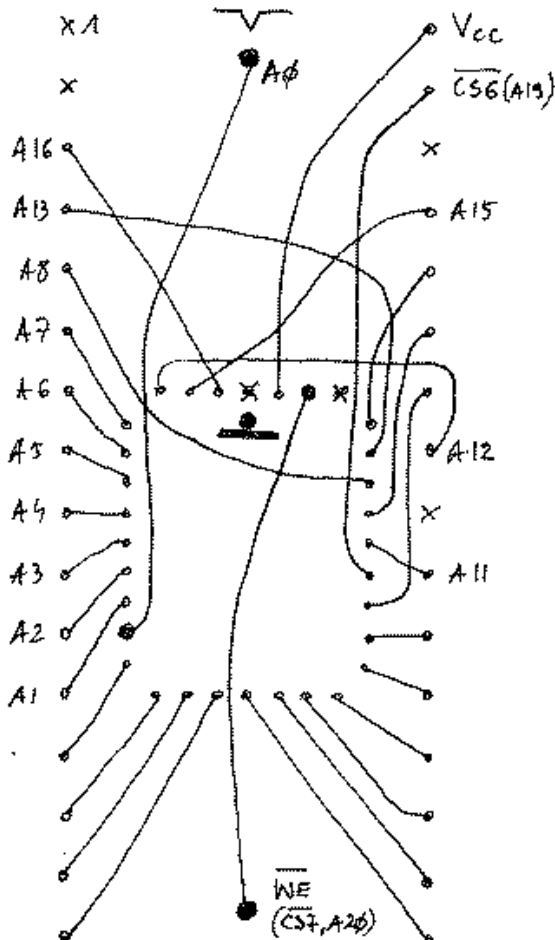
MWmika



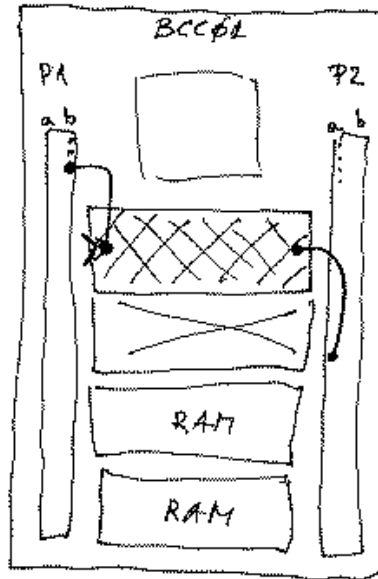
30	32	2	4		
29	31	1	3	6	5
27	28			8	7
25	26			10	9
23	24			12	11
21	22	19	17	15	13
20	18	16	14		

podstawka PLCC 32
(oś obrotu)

Wersja 2 (bez podstawki)
oś górną



Aφ: P1.6 (b3)



CS7: P2.33 (a17)