

Na prawach rękopisu

INSTYTUT CYBERNETYKI TECHNICZNEJ  
POLITECHNIKI WROCŁAWSKIEJ  
Raport serii SPR nr 6/2004

**Moduł z mikrokontrolerem  
MC68HC912B32**

Marek Wnuk

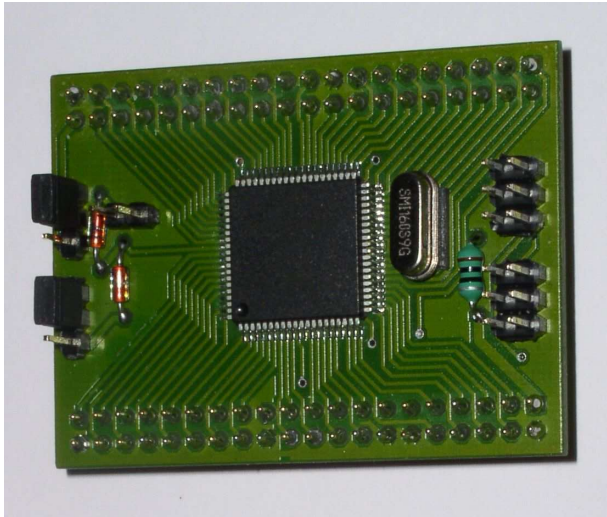
Słowa kluczowe: mikrokontroler, płytko drukowana, system uruchomieniowy, oprogramowanie skrócone.

Wrocław 2004

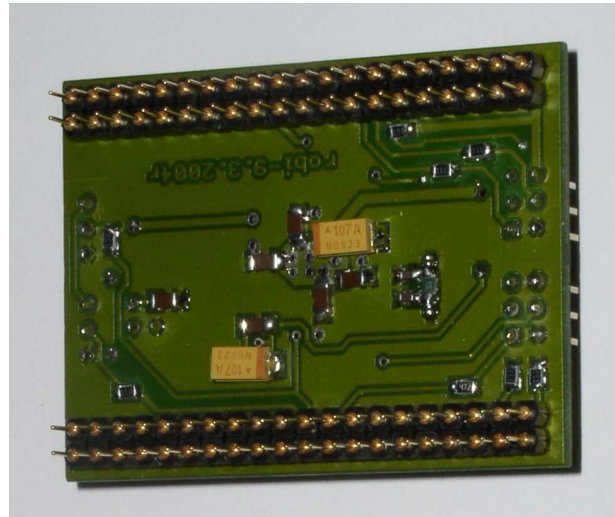
## **Spis treści**

<b>1</b>	<b>Wstęp</b>	<b>2</b>
<b>2</b>	<b>Własności mikrokontrolera MC68HC912B32</b>	<b>2</b>
<b>3</b>	<b>Schemat i montaż</b>	<b>5</b>
<b>4</b>	<b>Złącza i sygnały</b>	<b>5</b>
<b>5</b>	<b>Uruchamianie sprzętu</b>	<b>7</b>
<b>6</b>	<b>Dokumentacje i oprogramowanie pomocnicze</b>	<b>9</b>
	<b>Bibliografia</b>	<b>9</b>

widok z góry



widok z dołu



Rysunek 1: Wygląd zmontowanej płytki

## 1 Wstęp

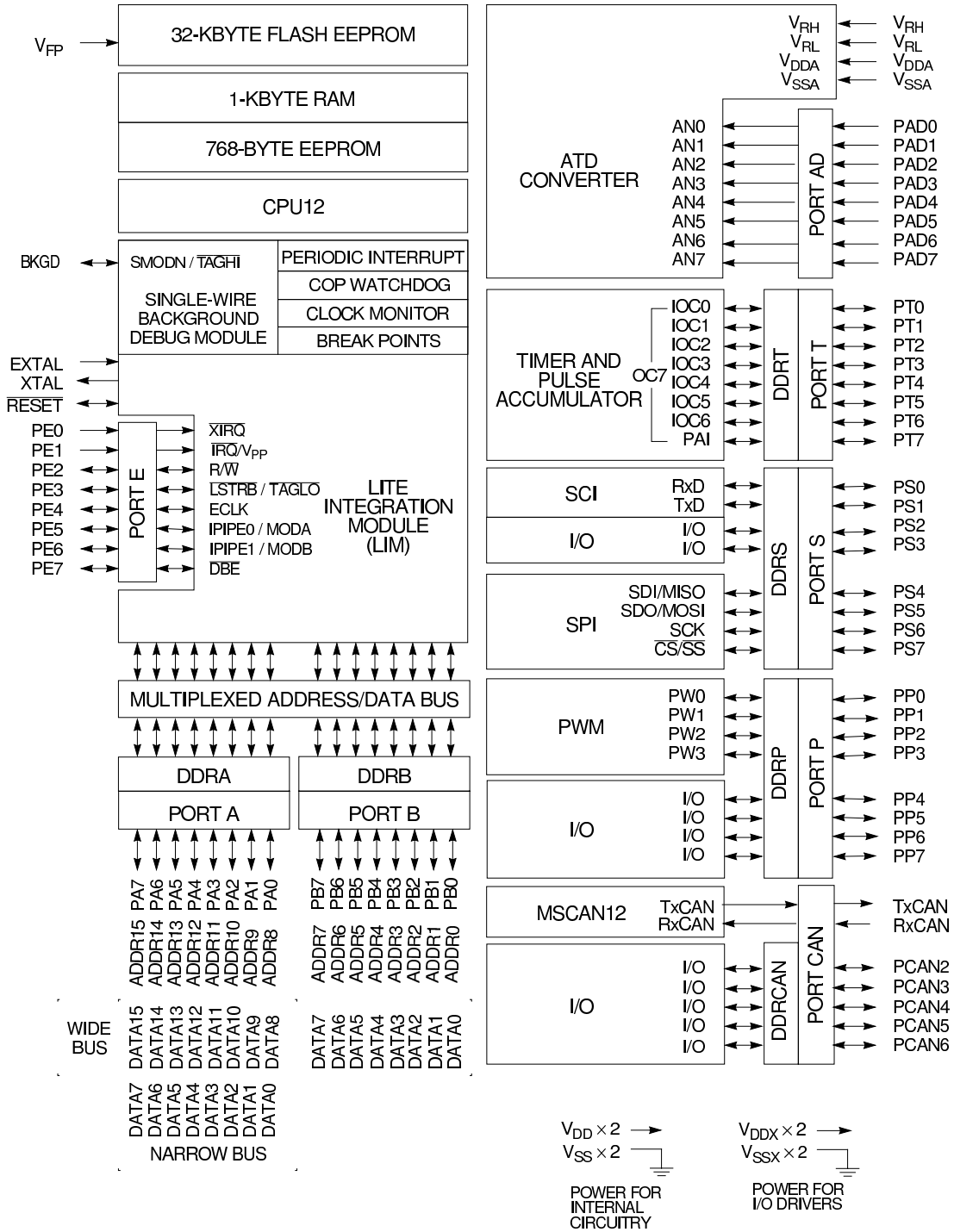
Opisywana płytki zawiera 16-bitowy mikrokontroler MC68HC912B32 firmy Motorola oraz minimalny zestaw elementów towarzyszących (rezonator kwarcowy, zworki do wyboru trybu pracy, złącza BDM, rezystory wymuszające pożądany stan logiczny wybranych sygnałów i kondensatory blokujące zasilanie). Wszystkie sygnały mikrokontrolera są wyprowadzone na złącza w standardowym rozstawie (0.1 ″), co umożliwia dołączenie zewnętrznych rozszerzeń również przy użyciu uniwersalnej płytki drukowanej. Ma to szczególne znaczenie przy projektach badawczych i dydaktycznych, do których płytki jest przeznaczona. Widok modułu przedstawiono na rys. 1.

## 2 Własności mikrokontrolera MC68HC912B32

Rodzina HC12 mikrokontrolerów firmy Motorola jest następcą popularnej serii HC11, od wielu lat stosowanej w bardzo wielu konstrukcjach sterowników i układów sensorycznych, w szczególności w robotyce. Mikrokontrolery HC12 zostały wyposażone w bardzo wydajną, 16-bitową jednostkę centralną (CPU12) o wyższej częstotliwości taktowania, charakteryzują się małym poborem mocy oraz rozszerzonym w stosunku do HC11 zestawem układów wejścia/wyjścia (porty równoległe i szeregowy, timery i przetwornik analogowo–cyfrowy). CPU12 zachowuje zgodność z HC11 na poziomie assemblera, lecz ma poprawioną implementację wielu instrukcji. Wprowadzono też wiele dodatkowych instrukcji (np. interpolacji liniowej, *Fuzzy Logic*) oraz rozbudowane tryby adresowania indeksowego ułatwiające implementację systemów operacyjnych i języków wyższego rzędu (znane z M6809). Ważną zaletą CPU12 jest wbudowany emulator z interfejsem BDM pozwalający uruchamiać, testować i modyfikować oprogramowanie bezpośrednio na systemie docelowym.

Podstawowe własności zastosowanej wersji mikrokontrolera to:

- 16-bitowa jednostka centralna CPU12 (zegar 8MHz):
  - zgodność z listą rozkazów M68HC11,
  - analogiczny model programowy jak M68HC11,



Rysunek 2: Struktura i zasoby MC68HC912B32

- 20-bitowa jednostka arytmetyczno-logiczna (ALU),
- kolejka instrukcji,
- rozbudowane tryby adresowania indeksowego,
- wbudowane instrukcje *Fuzzy Logic*,
- zasoby pamięciowe:
  - 32 kilobajty wbudowanej pamięci FLASH z 2-kB chronionym obszarem (*Boot Block*),
  - 768 bajtów wbudowanej pamięci EEPROM,
  - 1024 bajty wbudowanej pamięci RAM,
- 8-kanałowy, 8-bitowy przetwornik analogowo/cyfrowy,
- 16-bitowy system timerów:
  - 8 kanałów (każdy może być IC - *Input Capture* lub OC - *Output Compare*),
  - prosty tryb PWM,
  - możliwość resetowania licznika modulo,
- 16-bitowy akumulator impulsów:
  - zliczanie zdarzeń,
  - bramkowane zliczanie czasu,
- modulator PWM:
  - 4 kanały 8-bitowe lub 2 kanały 16-bitowe,
  - oddzielne sterowanie częstotliwością i wypełnieniem w kanałach,
  - tryb symetryczny (*Center-Aligned*) i asymetryczny (*Left-Aligned*),
- układ przerwań cyklicznych o programowalnym okresie,
- COP watchdog (*Computer Operates Properly*),
- monitorowanie zegara procesora,
- interfejsy szeregowy:
  - asynchroniczny interfejs szeregowy NRZ (SCI),
  - synchroniczny interfejs szeregowy urządzeń zewnętrznych (SPI),
  - J1850 (BDLC),
- 63 uniwersalne wejścia-wyjścia binarne:
  - 53 dwukierunkowe,
  - 10 wyłącznie wejściowych,
- interfejs uruchomieniowy (wbudowany emulator) BDM (*Background Debug Mode*),
- obudowa QFP80,
- dostępne wersje niskonapięciowe (2.7 - 5.5V).

Strukturę i zasoby mikrokontrolera MC68HC912B32 [1] przedstawiono na rys. 2.

### 3 Schemat i montaż

Schemat modułu przedstawiono na rys. 3, a sposób montażu na płytce drukowanej na rys. 4.<sup>1</sup> Na płytce zamontowano: mikrokontroler MC68HC912B32 w obudowie QFP80 (U1), rezonator kwarcowy 16MHz (Q1) wraz z elementami towarzyszącymi (C1, C2 - 22pF, R1 - 10MΩ), kondensatory blokujące zasilanie (C3 .. C8 - 100nF, C10, C11 - 100μF), rezystor wymuszający stan wysoki sygnału restartu (RESET) i stan niski sygnałów (MODA, MODB) wyboru trybu CPU (R6, R13, R15 - 15kΩ). Zasilanie przetwornika C/A jest dodatkowo filtrowane przez dławik L1 (10 μH). Napięcie do programowania pamięci FLASH jest doprowadzone do VFP ze złącza JP1 za pośrednictwem diod D1 i D2 (BAT42).

liczba	wartość	obudowa	oznaczenie na schemacie
rezystory			
2	47R	0805	R4, R5
1	4k7	0805	R7
5	15k	0805	R2, R3, R6, R13, R15
1	10M	0805	R1
kondensatory			
2	22p	0805	C1, C2
6	100n	1206	C3, C4, C5, C6, C7, C8
2	100u/6,3V	6032	C10, C11
filtry			
1	10uH	0207	L1
rezonatory			
1	16MHz	HC49/S	Q1
półprzewodniki			
2	BAT42	DO34-7	D1, D2
1	MC68HC912B32	QFP80	U1

Tablica 1: Zestawienie elementów modułu HC912

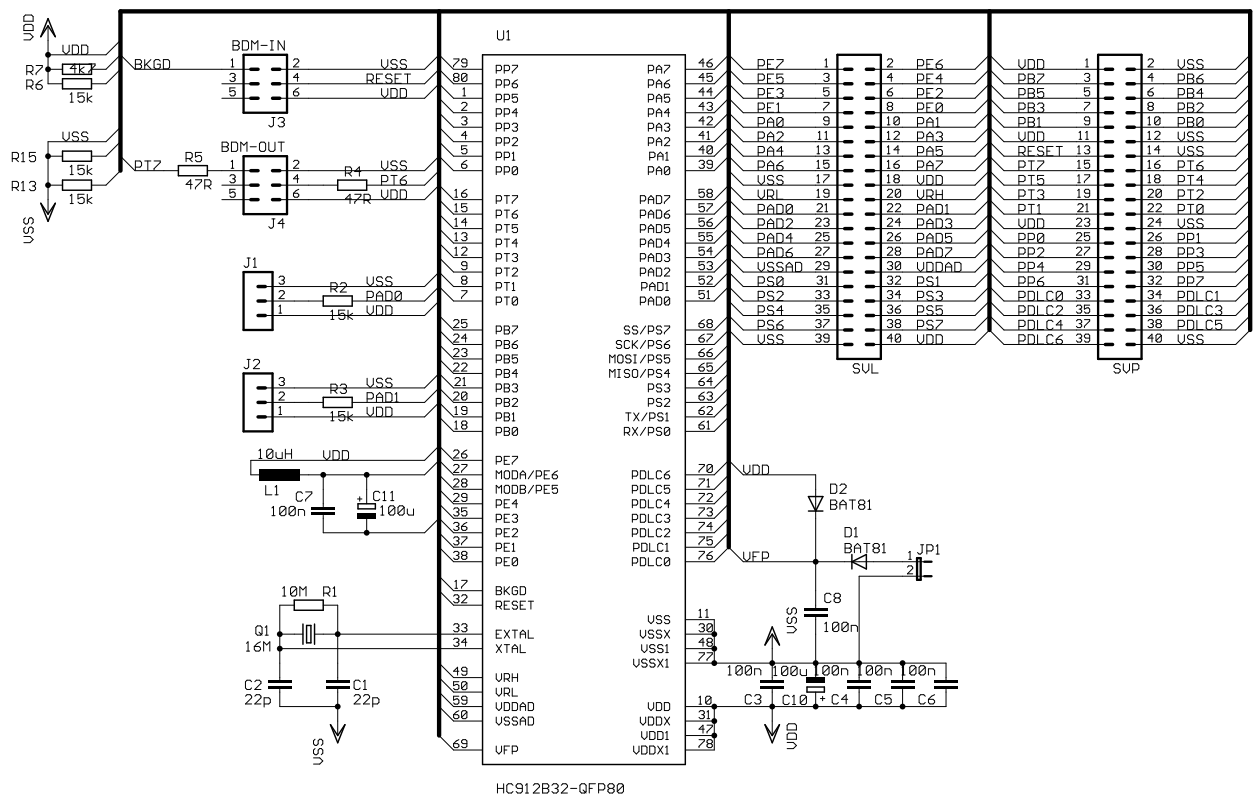
W celu zachowania zgodności z modułem uruchomieniowym M68EVB912B32 firmy Motorola [3] i umożliwienia wykorzystania monitora/debuggera D-Bug12 do uruchamiania modułu wprowadzono dwa sześciostykowe złącza BDM-IN i BDM-OUT. W drugim z nich sygnały PT6 i PT7, za pośrednictwem odsprzęgających rezystorów R4 i R5 (47Ω), są użyte do emulowania sygnałów BKGD i RESET dla zewnętrznego układu docelowego (przy wykorzystaniu modułu jako interfejsu BDM). Wybór trybu pracy D-Bug12 zapewniają zworki J1 i J2 z rezystorami R2 i R3 (15kΩ) podłączonymi do sygnałów PAD0 i PAD1 mikrokontrolera.

Mikrokontroler, rezonator kwarcowy, dławik, złącza BDM, zworki, diody i złącze napięcia programującego są zamontowane na wierzchniej stronie płytki. Pozostałe elementy są montowane na dolnej powierzchni modułu.

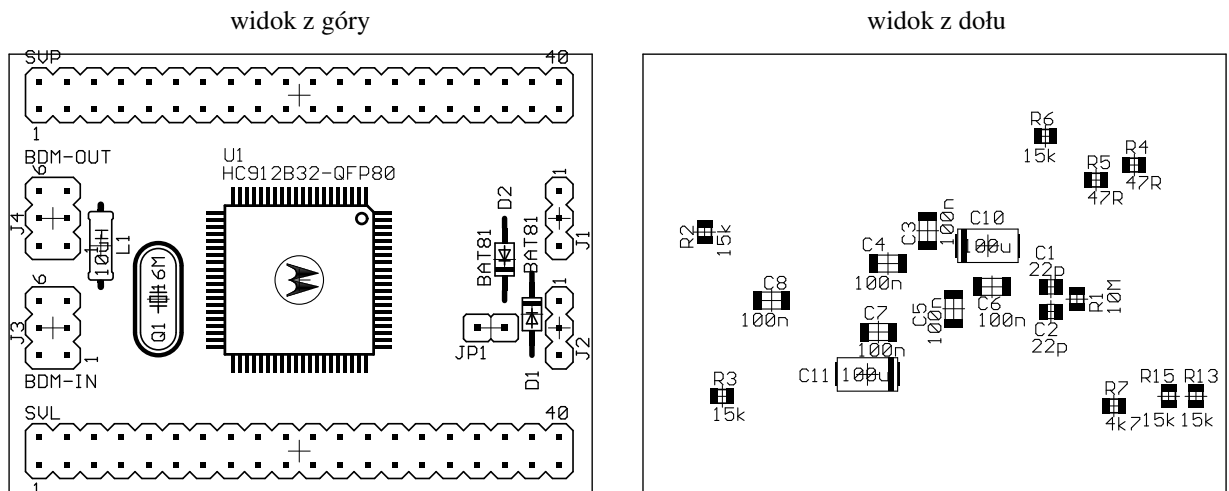
### 4 Złącza i sygnały

Sygnały mikrokontrolera wyprowadzono na dwa dwurzędowe złącza (SVL, SVP) zawierające po 40 styków. Użycie listew wtykowych SLP zamontowanych od spodniej strony płytki pozwala włączyć moduł do odpowiednich gniazd zamontowanych na innej płytce. Możliwe jest również użycie dwu-

<sup>1</sup>Projekt płytki drukowanej wykonał Robert Szlowski (Laboratorium Robotyki ICT PWr.).



Rysunek 3: Schemat układu



Rysunek 4: Montaż elementów na płycie

rzędowych listew stykowych zamontowanych od wierzchniej strony płytki w celu dokonania połączeń zewnętrznych przewodem taśmowym.

złącze SVL				złącze SVP			
PE7/DBE	1	2	PE6/MODB	VDD(+5V)	1	2	VSS(GND)
PE5/MODA	3	4	PE4/ECLK	PB7	3	4	PB6
PE3/LSTRB	5	6	PE2/RW	PB5	5	6	PB4
PE1/IRQ	7	8	PE0/XIRQ	PB3	7	8	PB2
PA0	9	10	PA1	PB1	9	10	PB0
PA2	11	12	PA3	VDD(+5V)	11	12	VSS(GND)
PA4	13	14	PA5	RESET	13	14	VSS(GND)
PA6	15	16	PA7	PT7/IOC7/PAI	15	16	PT6/IOC6
VSS(GND)	17	18	VDD(+5V)	PT5/IOC5	17	18	PT4/IOC4
VRL	19	20	VRH	PT3/IOC3	19	20	PT2/IOC2
PAD0/AN0	21	22	PAD1/AN1	PT1/IOC1	21	22	PT0/IOC0
PAD2/AN2	23	24	PAD3/AN3	VDD(+5V)	23	24	VSS(GND)
PAD4/AN4	25	26	PAD5/AN5	PP0/PW0	25	26	PP1/PW1
PAD6/AN6	27	28	PAD7/AN7	PP2/PW2	27	28	PP3/PW3
VSSAD	29	30	VDDAD	PP4	29	30	PP5
PS0/RxD	31	32	PS1/TxD	PP6	31	32	PP7
PS2	33	34	PS3	PDLC0/DLCRx	33	34	PDLC1/DLCTx
PS4/SDI/MISO	35	36	PS5/SDO/MOSI	PDLC2	35	36	PDLC3
PS6/SCK	37	38	PS7/CS/SS	PDLC4	37	38	PDLC5
VSS(GND)	39	40	VDD(+5V)	PDLC6	39	40	VSS(GND)

Tablica 2: Złącza modułu HC912B32

Rozmieszczenie sygnałów na złączach SVL i SVP podano w tab. 2, a ich opis w tab. 3. Sygnały na złączach BDM opisano w tab. 4. W przypadku BDM-IN sygnały RESET i BKGD są sygnałami wejściowymi mikrokontrolera modułu. W przypadku BDM-OUT są one wytwarzane (emulowane) przez D-Bug12 za pośrednictwem sygnałów PT6 i PT7 mikrokontrolera.

## 5 Uruchamianie sprzętu

W celu zaprogramowania w pamięci FLASH zmontowanego modułu oprogramowania firmowego (D-Bug12) należy się posłużyć interfejsem BDM i odpowiednim oprogramowaniem na komputerze nadrzędnym. W najprostszym przypadku rolę interfejsu BDM może pełnić inny, wcześniej uruchomiony i oprogramowany, moduł (np. płytką M68EVB912B32 firmy Motorola) ustawiony w tryb 01 (*POD – Remote Debugging Through BDM-OUT* [3]). W takim przypadku należy połączyć sześciopiętrowym kablem taśmowym złącze BDM-OUT płytki służącej jako interfejs BDM ze złączem BDM-IN uruchamianego modułu. Na komputerze nadrzędnym należy uruchomić emulator terminala szeregowego i wykorzystać port szeregowy komputera do komunikacji z D-Bug12 (9600, 8, N, 1). Używając komend debuggera można skasować pamięć FLASH uruchamianego modułu (komenda FBULK) i zaprogramować ją nową zawartością podaną w pliku z S-rekordami (komenda FLOAD) [3]. Kasowanie i zapisywanie pamięci FLASH wymaga doprowadzenia do modułu (złącze JP1) napięcia 12V ( $\pm 5\%$ ). Aktualną wersję D-Bug12 można znaleźć na stronie <www.mot.com>. Dzięki zworkom J1 i J2 można wybrać jeden z czterech trybów pracy D-Bug12 w opisywanym module:

- normalny (*EVB Execution Mode*) – D-Bug12 z pamięci FLASH jest po restarcie uruchamiany



sygnał	wyprowadzenie	typ	opis
PA0–PA7	SVL.9–SVL.16	IO	port A.[0–7]
PAD0/AN0–PAD7/AN7	SVL.21–SVL.28	I	wejście analogowe [0–7]
VRL	SVL.19	PWR	dolne napięcie odniesienia ADC
VRH	SVL.20	PWR	górne napięcie odniesienia ADC
PB0–PB7	SVP.10–SVP.3	IO	port B.[0–7]
PDLC0/DLCRx	SVP.33	IO	dane odbierane BDLC
PDLC1/DLCTx	SVP.34	IO	dane nadawane BDLC
PDLC2–PDLC6	SVP.35–SVP.39	IO	port DLC.[2–6]
PE0/XIRQ	SVL.8	I	przerwanie niemaskowalne
PE1/IRQ	SVL.7	I	przerwanie maskowalne
PE2/RW	SVL.6	IO	kierunek danych
PE3/LSTRB	SVL.5	IO	strob dolnego bajtu
PE4/ECLK	SVL.4	IO	zegar magistrali
PE5/MODA	SVL.3	IO	wybór trybu pracy CPU12
PE6/MODB	SVL.2	IO	wybór trybu pracy CPU12
PE7/DBE	SVL.1	IO	zezwozenie dla buforów magistrali
PP0/PW0–PP3/PW3	SVP.25–SVP.28	IO	wyjście modulatora PWM [0–3]
PP4–PP7	SVP.29–SVP.32	IO	port P.[4–7]
PS0/RxD	SVL.31	IO	dane odbierane SCI
PS1/TxD	SVL.32	IO	dane nadawane SCI
PS2–PS3	SVL.33–SVL.34	IO	port PS.[2–3]
PS4/SDI/MISO	SVL.35	IO	dane SPI <i>Master In Slave Out</i>
PS5/SDO/MOSI	SVL.36	IO	dane SPI <i>Master Out Slave In</i>
PS6/SCK	SVL.37	IO	zegar SPI
PS7/CS/SS	SVL.38	IO	we/wy wyboru SPI <i>Slave Select</i>
PT0/IOC0–PT6/IOC6	SVP.22–SVP.16	IO	we/wy <i>Input Capture / Output Compare</i> [0–6]
PT7/IOC7/PAI	SVP.15	IO	we/wy <i>Input Capture / Output Compare</i> 7 wejście <i>Pulse Accumulator</i>
RESET	SVR.13	IO	restart
VSS(GND)	SVL.17, SVL.39, SVP.2, SVP.12, SVP.14, SVP.24, SVP.40	PWR	masa
VDD(+5V)	SVL.18, SVL.40, SVP.1, SVP.11, SVP.23	PWR	zasilanie (+5V)

Tablica 3: Sygnały modułu HC912B32

BKGD	1	2	VSS(GND)
n.c.	3	4	RESET
n.c.	5	6	VDD(+5V)

Tablica 4: Złącza BDM modułu HC912B32

interakcyjnie ze znakiem zachęty “>” na terminalu dołączonym do SCI,

- start z pamięci EEPROM (*Jump-EEPROM Mode*) – po restarcie jest uruchamiany program użytkownika zapisany w pamięci EEPROM,
- zdalne debuggowanie przez BDM-OUT (*POD Mode*) – D-Bug12 łączy się ze zdalnym modułem przez BDM i zgłasza znak zachęty “S>”,
- ładowanie programu (*BOOTLOAD Mode*) – program użytkownika w postaci S-rekordów jest ładowany do pamięci FLASH i/lub EEPROM.

zworki		tryb uruchamiania
J1	J2	D-Bug12 po restarcie
2-3	2-3	EVB Execution
1-2	2-3	Jump-EEPROM
2-3	1-2	POD
2-3	2-3	BOOTLOAD

Tablica 5: Zworki wyboru trybu startowego D-Bug12

W tab. 5 podano ustawienia zwerek J1, J2 odpowiadające opisanym trybom. Dokładny opis tych trybów i zestawienie komend D-Bug12 można znaleźć w [3]).

**UWAGA: w celu połączenia portu szeregowego SCI opisywanego modułu z komputerem nadrzędnym wyposażonym w port szeregowy RS232C należy użyć układu translacji napięć z TTL do RS232C (np. MAX232).**

## 6 Dokumentacje i oprogramowanie pomocnicze

Dokumentacje mikrokontrolera MC68HC912B32 oraz całej rodziny M68HC12 są dostępne na serwerze firmy Motorola (<www.mot.com>). Na lokalnym serwerze Laboratorium Robotyki ICT PWr. (<rab.ict.pwr.wroc.pl>) są dostępne ich kopie zamieszczone za zgodą Motorola Polska, jak również wybrane narzędzia programistyczne i przykłady zastosowań.

Oprogramowanie dla CPU12 przygotowuje się w języku asemblera [2]. Dostępne są proste skrócone asemblery dla środowiska DOS/Windows, zarówno darmowe (<www.mot.com>), jak i komercyjne. Przykładem zintegrowanego środowiska dla Windows, obejmującego edytor, asembler i program komunikacyjny jest IASM12 firmy P&E (<www.pemicro.com>)

Bardziej rozbudowane środowiska, obejmujące również kompilatory C/C++ to pakiety darmowe (GNU) i komercyjne (np. nieistniejącej już firmy HIWARE). Odwołania do stron WWW zawierających informacje o takich pakietach można znaleźć na stronie <rab.ict.pwr.wroc.pl>.

## Literatura

- [1] *MC68HC912B32 Technical Summary*, MC68HC912B32TS/D Rev. 1, Motorola Inc. 1997,
- [2] *CPU12 Reference Manual*, CPU12RM/AD Rev. 1, Motorola Inc. 1997,
- [3] *M68EVB912B32 Evaluation Board User's Manual*, 68EVB912B32UM/D, Motorola Inc. 1997,
- [4] *MC68HC912B32 Advance Information*, MC68HC912B32/D Rev. 2.0, Motorola Inc. 1999,

dr inż. Marek Wnuk  
Instytut Cybernetyki Technicznej  
Politechniki Wrocławskiej  
ul. Janiszewskiego 11/17  
50-372 Wrocław

Niniejszy raport otrzymują:

- 1. OINT ..... - 1 egz.
- 2. Zleceniodawca ..... - 1 egz.
- 2. Autor ..... - 2 egz.

Razem : 4 egz.

Raport wpłynął do redakcji I-6  
w maju 2004 roku.