

INSTYTUT CYBERNETYKI TECHNICZNEJ
POLITECHNIKI WROCŁAWSKIEJ
Raport serii SPR nr 8/2004

ICD
Interfejs BDM dla CPU32

Marek Wnuk

Słowa kluczowe: debugger, interfejs, oprogramowanie skrócone.

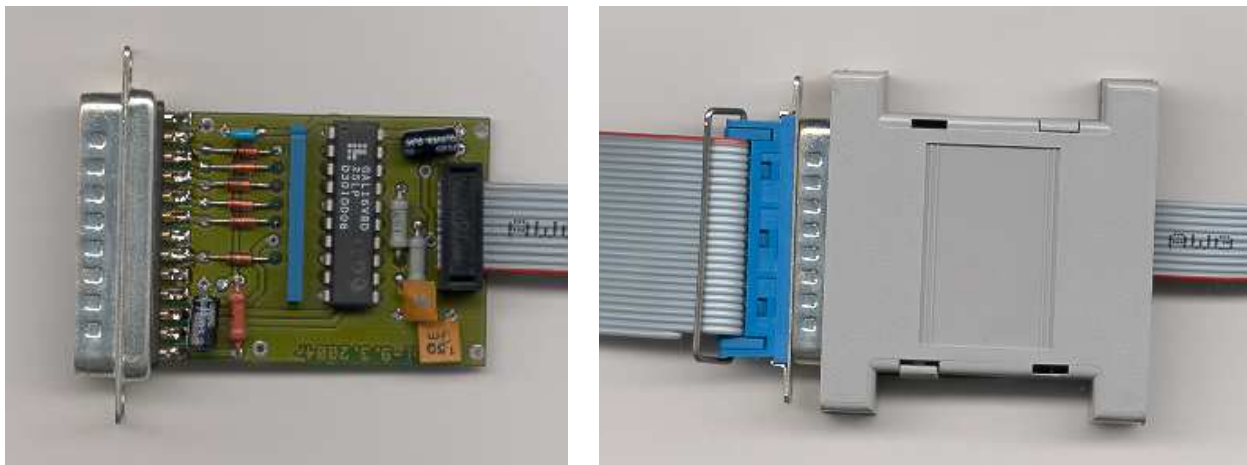
Wrocław 2004

Spis treści

1	Wstęp	2
2	Funkcje interfejsu BDM	2
3	Schemat i montaż	2
4	Dokumentacje i oprogramowanie	4
	Bibliografia	6

1 Wstęp

Opisywany interfejs jest przeznaczony do uruchamiania sprzętu i oprogramowania z wykorzystaniem modułu BDM (*Background Debug Mode*) dostępnego w mikrokontrolerach firmy Motorola. W szczególności dotyczy to jednostki centralnej CPU32 [1] i mikrokontrolera MC68332 [2]. Interfejs zapewnia połączenie pomiędzy standardowym złączem typu Berg na module docelowym (*Target*) i portem równoległym (drukarki) komputera klasy PC (*Host*). Oprogramowanie na komputerze PC (debugger) ma dzięki temu możliwość sterowania wbudowanym w CPU32 blokiem emulatora BDM w celu odczytywania/zapisywania rejestrów procesora i pamięci, uruchamiania i śledzenia wykonywania programów. Widok zmontowanej płytki oraz interfejsu w obudowie przedstawiono na rys. 1.



Rysunek 1: Wygląd zmontowanej płytki interfejsu

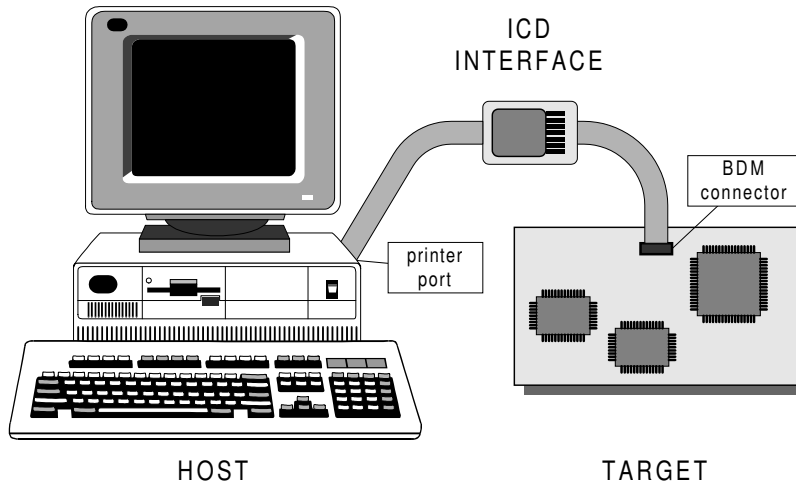
2 Funkcje interfejsu BDM

Ważną zaletą rodziny mikrokontrolerów M683xx firmy Motorola jest wbudowany emulator z interfejsem BDM (*Background Debug Mode*), który pozwala uruchamiać, testować i modyfikować oprogramowanie bezpośrednio na systemie docelowym. Do komunikacji pomiędzy systemem uruchomieniowym (skrośny debugger na komputerze klasy PC - *Host*) a systemem docelowym (moduł z mikrokontrolerem z rodziny M683xx - *Target*) wykorzystywana jest synchroniczna transmisja szeregową. Sygnały są formowane w układzie ICD (*In Circuit Debugger*) sterowanym z portu równoległego PC. Konfigurację stanowiska uruchomieniowego przedstawiono na rys. 2.

Komendy interfejsu BDM przedstawiono w tab. 1. Obejmują one odczyt i zapis pamięci i rejestrów procesora, uruchamianie i zatrzymywanie wykonywania programu, wywoływanie przygotowanych funkcji (podprogramów), ustawianie pułapek (*Breakpoints*).

3 Schemat i montaż

Opisywany interfejs ICD jest zgodny z produktem firmy P&E (<www.pemicro.com>) o tej samej nazwie, który jest jednym ze standardowych układów BDM obsługiwanych przez większość oprogramowania uruchomieniowego dla M683xx. Schemat interfejsu przedstawiono na rys. 3, a sposób



Rysunek 2: Połączenie *Host* – *Target* przy pomocy interfejsu ICD

Command	Mnemonic	Description
Read D/A Register	RDREG/RAREG	Read the selected address or data register and return the results through the serial interface.
Write D/A Register	WDREG/WAREG	The data operand is written to the specified address or data register.
Read System Register	RSREG	The specified system control register is read. All registers that can be read in supervisor mode can be read in background mode.
Write System Register	WSREG	The operand data is written into the specified system control register.
Read Memory Location	READ	Read the sized data at the memory location specified by the long-word address. The source function code register (SFC) determines the address space accessed.
Write Memory Location	WRITE	Write the operand data to the memory location specified by the long-word address. The destination function code (DFC) register determines the address space accessed.
Dump Memory Block	DUMP	Used in conjunction with the READ command to dump large blocks of memory. An initial READ is executed to set up the starting address of the block and retrieve the first result. Subsequent operands are retrieved with the DUMP command.
Fill Memory Block	FILL	Used in conjunction with the WRITE command to fill large blocks of memory. Initially, a WRITE is executed to set up the starting address of the block and supply the first operand. The FILL command writes subsequent operands.
Resume Execution	GO	The pipe is flushed and refilled before resuming instruction execution at the current PC.
Patch User Code	CALL	Current program counter is stacked at the location of the current stack pointer. Instruction execution begins at user patch code.
Reset Peripherals	RST	Asserts RESET for 512 clock cycles. The CPU is not reset by this command. Synonymous with the CPU RESET instruction.
No Operation	NOP	NOP performs no operation and can be used as a null command.

Tablica 1: Zestaw komend interfejsu BDM.

montażu na płytce drukowanej na rys. 4.¹ Zestawienie elementów zawiera tab. 2. Na płytce zamontowano programowalny układ logiczny PAL16L8 (IC1), diody BAT42 (D1–D6), oraz elementy RC. Zworka JP1 umieszczona na dolnej powierzchni płytki nie jest wykorzystywana w opisywanej wersji interfejsu.

Sygnały z portu drukarki są przyłączone przez złącze szufladowe M25D (X1), a połączenie z systemem docelowym zapewnia złącze kabla taśmowego (CON1). Interfejs jest zasilany napięciem +5V z systemu docelowego przez złącze CON1. Rozmieszczenie sygnałów na złączu BDM opisano w tab. 3.

Zmontowaną płytkę można umieścić w obudowie przelotowej przystosowanej do dwóch łączówek DB25 (por. rys. 1). Połączenie z portem drukarki PC można zrealizować przy pomocy kabla taśmowego (przedłużacza) o 25 żyłach.

UWAGA: przewód taśmowy łączący CON1 z systemem docelowym powinien mieć długość nie większą niż 250mm

liczba	wartość	obudowa	oznaczenie na schemacie
rezystory			
2	k51	0207/10	R1, R2
1	1k	0207/10	R3
1	10k	SIL10	RN1
kondensatory			
2	100p	C050-024X044	C1, C2
1	100n	C050-024X044	C5
1	1u	E2,5-5	C4
1	100u/6,3V	E2,5-5	C3
półprzewodniki			
6	BAT42	DO35-10	D1, D2, D3, D4, D5, D6
1	PAL16L8	DIL20	U1
złącza			
1	CON10L	CON10L	CON1
1	M25D	M25D	X1

Tablica 2: Zestawienie elementów interfejsu ICD

DS	1	2	BERR
GND	3	4	BKPT/DSCLK
GND	5	6	FREEZE
RESET	7	8	IFETCH/DSI
VDD	9	10	IPIPE/DSO

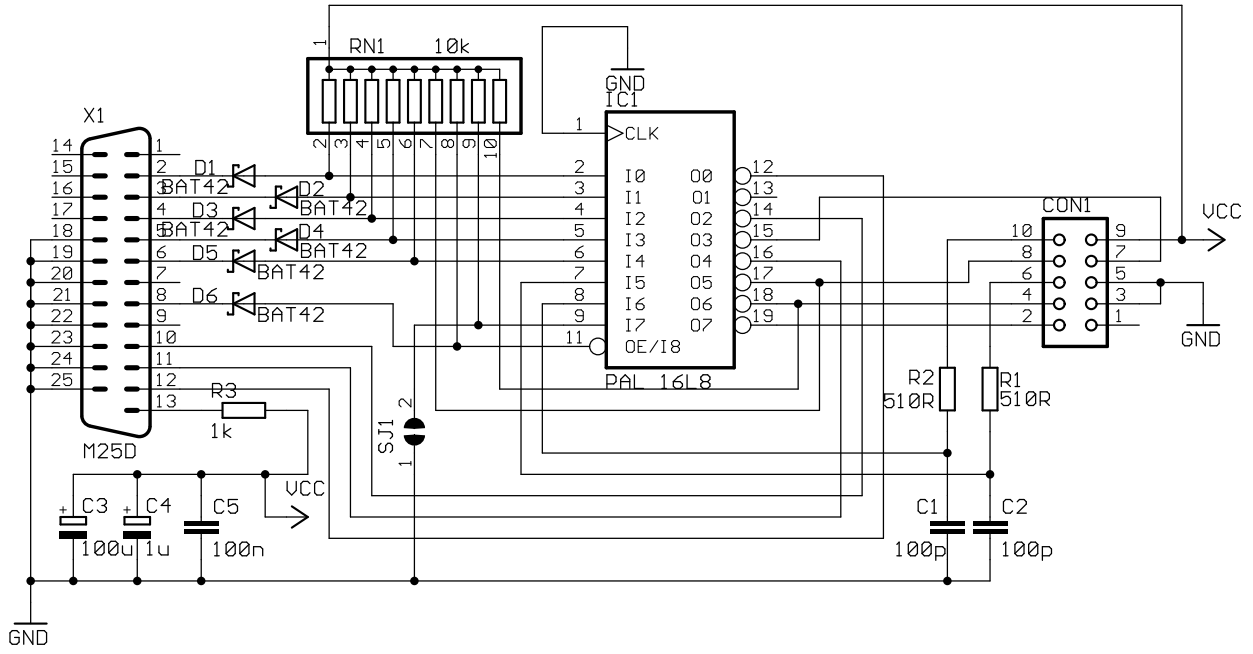
Tablica 3: Złącze CON1 interfejsu ICD

Programowalny układ logiczny IC1 (PAL16L8) może być zastąpiony przez GAL16V8 pracujący w trybie PAL16L8. Program dla IC1 (plik `icd9.jed`) można znaleźć na stronie rab.ict.pwr.wroc.pl.

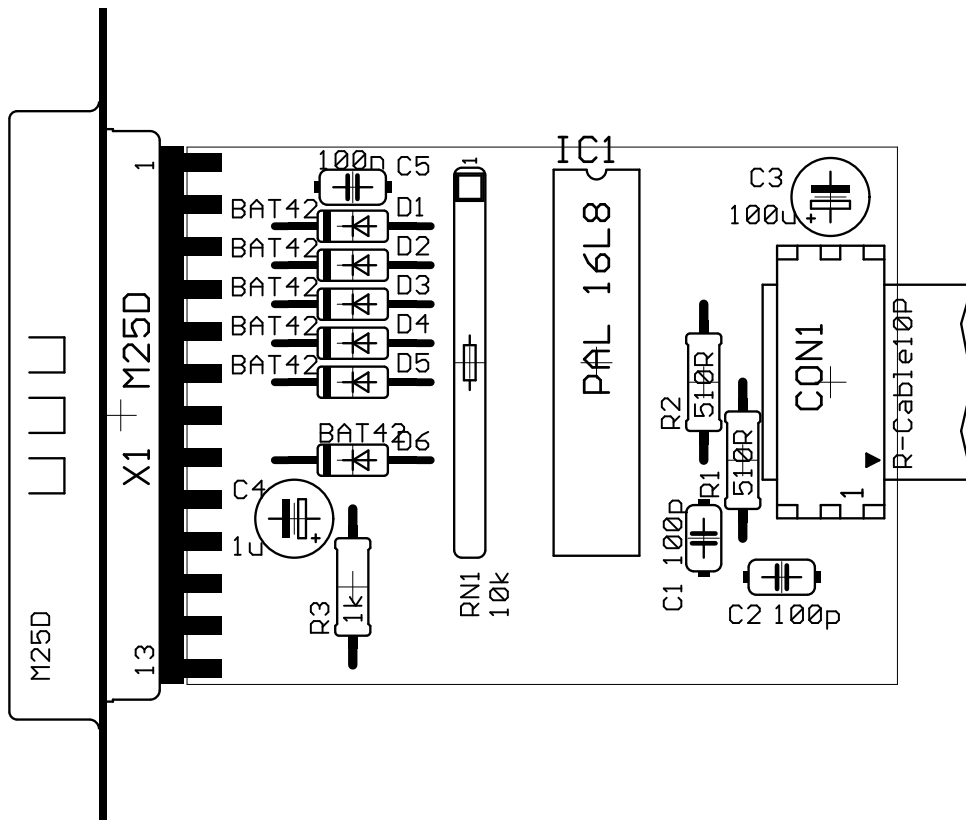
4 Dokumentacje i oprogramowanie

Dokumentacje rodziny M683xx są dostępne na serwerze firmy Motorola (www.mot.com). Na lokalnym serwerze Laboratorium Robotyki ICT PWr. (rab.ict.pwr.wroc.pl) są dostępne ich kopie

¹Projekt płytki drukowanej wykonał Robert Szlowski (Laboratorium Robotyki ICT PWr.).



Rysunek 3: Schemat układu



Rysunek 4: Montaż elementów na płytce

zamieszczone za zgodą Motorola Polska, jak również wybrane narzędzia programistyczne i przykłady zastosowań.

Dla interfejsu ICD dostępne są proste skrośne debuggery dla środowiska DOS i Windows, zarówno darmowe (<www.mot.com>), jak i komercyjne. Przykładem takiego programu dla Windows jest ICD32 firmy P&E (<www.pemicro.com>).

Darmowy debugger BD32 udostępniony przez firmę Motorola wraz z dokumentacją i przykładami jego wykorzystania można znaleźć na stronie <rab.ict.pwr.wroc.pl>.

Bardziej rozbudowane debuggery pochodzą z pakietów darmowych (GDB–DDD) i komercyjnych (np. HIWAVE nieistniejącej już firmy HIWARE). Odwołania do stron WWW zawierających informacje o takich pakietach można znaleźć na stronie <rab.ict.pwr.wroc.pl>.

Literatura

[1] *CPU32 Central Processor Unit Reference Manual*, CPU32RM/AD Rev. 1, Motorola Inc., 1990.

[2] *MC68332 User's Manual*, MC68332UM/AD Rev. 1, Motorola Inc., 1993.

dr inż. Marek Wnuk
Instytut Cybernetyki Technicznej
Politechniki Wrocławskiej
ul. Janiszewskiego 11/17
50-372 Wrocław

Niniejszy raport otrzymują:

- 1. OINT - 1 egz.
- 2. Zleceniodawca - 1 egz.
- 2. Autor - 2 egz.

Razem : 4 egz.

Raport wpłynął do redakcji I-6
w maju 2004 roku.